

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07131025 A**

(43) Date of publication of application: 19 . 05 . 95

(51) Int. Cl

H01L 29/786
H01L 21/8238
H01L 27/092

(21) Application number: **05277034**

(22) Date of filing: **05 . 11 . 93**

(71) Applicant: **HITACHI LTD**

(72) Inventor:
MASUDA HIROO
SATO HISAKO
NAKAMURA TAKAHIDE
TSUNENO KATSUMI
ICHIKAWA JINKO
IKEDA TAKAHIDE
KASHU NOBUYOSHI
MITANI SHINICHIRO

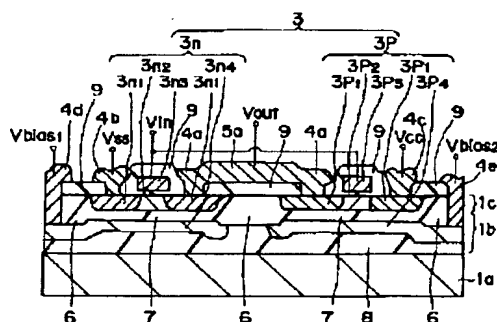
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND FABRICATION THEREOF**

(57) Abstract:

PURPOSE: To enhance controllability of the threshold voltage for a MOSFET constituting a semiconductor integrated circuit device having SOT structure.

CONSTITUTION: The semiconductor integrated circuit device comprises a SOI substrate in which a semiconductor layer 1c is formed on a semiconductor substrate 1a through an insulating layer 1b. In the insulating layer 1b, lower electrodes 3n₄, 3p₄ are provided on the semiconductor layer 1c below an nMOS 3n and a pMOS 3p such that a predetermined fixed bias voltage can be applied thereto.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131025

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

21/8238

27/092

9056-4M

9170-4M

H 0 1 L 29/ 78

27/ 08

3 1 1 G

3 2 1 B

審査請求 未請求 請求項の数20 O L (全 25 頁)

(21) 出願番号

特願平5-277034

(22) 出願日

平成5年(1993)11月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 増田 弘生

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 佐藤 久子

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 中村 高秀

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

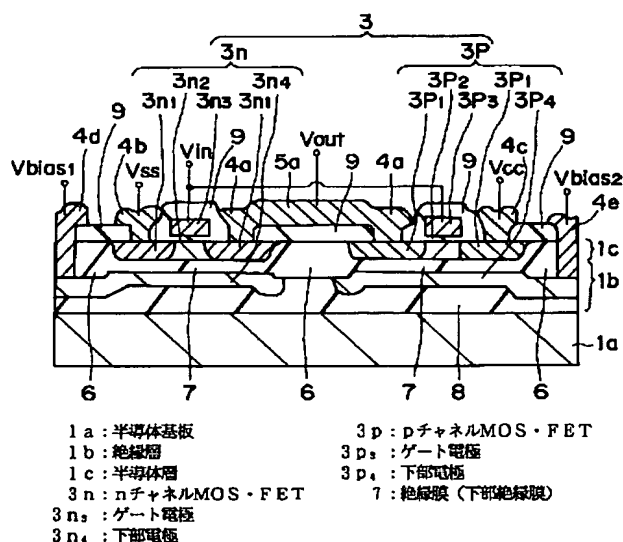
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 S O I 構造の半導体集積回路装置を構成する MOS・FET のしきい値電圧の制御性を向上させる。

【構成】 半導体基板 1 a 上に絶縁層 1 b を介して半導体層 1 c の形成された S O I 基板を有する半導体集積回路装置であって、その絶縁層 1 b において、半導体層 1 c に形成され n MOS 3 n および p MOS 3 p の下方に、下部電極 3 n₁, 3 p₁ を設け、その下部電極 3 n₁, 3 p₁ に所定の固定バイアス電圧を印加することが可能な構造とした。

図 1



【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に下部電極を設け、前記ゲート電極と、前記下部電極とのいずれか一方に固定バイアス電圧が印加されるように設定したことを特徴とする半導体集積回路装置。

【請求項 2】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を設け、前記ゲート電極と、前記下部電極とのいずれか一方に固定バイアス電圧が印加されるように設定したことを特徴とする半導体集積回路装置。

【請求項 3】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を設け、前記ゲート電極と前記下部電極とを電気的に接続したことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1、2 または 3 記載の半導体集積回路装置において、前記下部電極を、所定の導電形の不純物を導入することによって構成するとともに、前記下部電極の導電形とは異なる導電形のウエルで取り囲み、前記下部電極と前記ウエルとの接合部に逆バイアス電圧が印加されるように設定したことを特徴とする半導体集積回路装置。

【請求項 5】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記絶縁層中において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に下部電極を設け、前記ゲート電極と、前記下部電極とのいずれか一方に固定バイアス電圧が印加されるように設定したことを特徴とする半導体集積回路装置。

【請求項 6】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記絶縁層中において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなり、所定の電位に設定することの可能な下部電極を設けたことを特徴とする半導体集積回路装置。

【請求項 7】 半導体基板上に絶縁層を介して形成され

た半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記絶縁層中において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を設け、前記 M I S ・ F E T のゲート電極と前記下部電極とを電気的に接続したことを特徴とする半導体集積回路装置。

【請求項 8】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を備え、前記ゲート電極と前記下部電極とのいずれか一方に固定バイアス電圧が印加されるように設定された M I S ・ F E T を前記 S O I 基板上の内部回路領域に配置し、前記半導体基板の上部において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を備え、前記ゲート電極と前記下部電極とを電気的に接続した M I S ・ F E T を前記 S O I 基板上の外部回路領域に配置したことを特徴とする半導体集積回路装置。

【請求項 9】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記絶縁層中において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を備え、前記ゲート電極と前記下部電極とのいずれか一方に固定バイアス電圧が印加されるように設定した M I S ・ F E T を前記 S O I 基板上の内部回路領域に配置し、前記絶縁層中において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を備え、前記ゲート電極と前記下部電極とを電気的に接続した M I S ・ F E T を前記 S O I 基板上の外部回路領域に配置したことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 ～ 9 のいずれか一項に記載の半導体集積回路装置において、前記下部電極を、前記 M I S ・ F E T のチャネル領域の下方にのみ配置したことを特徴とする半導体集積回路装置。

【請求項 11】 請求項 1 ～ 9 のいずれか一項に記載の半導体集積回路装置において、前記下部電極を、前記 M I S ・ F E T のチャネル領域およびソース領域の下方にのみ配置したことを特徴とする半導体集積回路装置。

【請求項 12】 請求項 3 または 7 記載の半導体集積回路装置において、前記ゲート電極と前記半導体層との間のゲート絶縁膜の厚さと、前記下部電極と前記半導体層との間の下部絶縁膜の厚さとを異なるようにしたことを特徴とする半導体集積回路装置。

【請求項 1 3】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記絶縁層中において、前記 M I S ・ F E T の少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなり、所定の電位に設定することの可能な下部電極を設けるとともに、前記下部電極の下方に、キャパシタ絶縁膜を介して互いに対向する一対のキャパシタ電極を設け、前記一対のキャパシタ電極のうちのいずれか一方を、前記 M I S ・ F E T を構成する一対の半導体領域のいずれか一方に接続することによりメモリセルを構成したことを特徴とする半導体集積回路装置。

【請求項 1 4】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記絶縁層中において、前記 M I S ・ F E T のゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなり、前記 M I S ・ F E T の一対の半導体領域に重なる大きさに形成されたフローティングゲートを設けることによりメモリセルを構成したことを特徴とする半導体集積回路装置。

【請求項 1 5】 半導体基板上に絶縁層を介して形成された半導体層に M I S ・ F E T が形成された S O I 基板を有する半導体集積回路装置であって、前記絶縁層中において、前記 M I S ・ F E T のゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなり、前記 M I S ・ F E T の一対の半導体領域に重なる大きさに形成されたフローティングゲートを設けるとともに、前記半導体基板において、前記フローティングゲートに対向する位置に、コントロールゲート部を設けることによりメモリセルを構成したことを特徴とする半導体集積回路装置。

【請求項 1 6】 請求項 1 5 記載の半導体集積回路装置において、前記コントロールゲート部を、所定の導電形の不純物を導入することによって構成するとともに、前記コントロールゲート部の導電形とは異なる導電形のウエルで取り囲み、前記コントロールゲート部と前記ウエルとの接合部に逆バイアス電圧が印加されるように設定したことを特徴とする半導体集積回路装置。

【請求項 1 7】 半導体基板上に絶縁層を介して形成された半導体層上に第 2 絶縁層を介して電極が複数形成された S O I 基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記電極とそれに隣接する電極との間の位置に下部電極を設けることにより電荷移送素子を構成したことを特徴とする半導体集積回路装置。

【請求項 1 8】 半導体基板上に絶縁層を介して形成された半導体層上に第 2 絶縁層を介して電極が複数形成された S O I 基板を有する半導体集積回路装置であって、

前記絶縁層中において、前記電極とそれに隣接する電極の間の位置に下部電極を設けることにより電荷移送素子を構成したことを特徴とする半導体集積回路装置。

【請求項 1 9】 請求項 1、2 または 3 記載の半導体集積回路装置を製造する際に、以下の工程を有することを特徴とする半導体集積回路装置の製造方法。

(a) 第 1 の半導体基板の主面と第 2 の半導体基板の主面とを絶縁膜を介して貼り合わせることにより、前記第 1 の半導体基板と前記第 2 の半導体基板とを接合する工程。

(b) 前記第 2 の半導体基板の裏面を所定量除去することにより半導体層を形成する工程。

(c) 前記半導体層上にイオン打ち込み用のマスクパターンを形成した後、前記半導体層の下層の前記第 1 の半導体基板の上部に所定の不純物イオンを打ち込み、前記第 1 の半導体基板の上部に下部電極となる半導体領域を形成する工程。

(d) 前記半導体層に対して選択酸化処理を施すことにより、前記半導体層の素子分離領域に素子分離絶縁膜を形成する工程。

(e) 前記半導体層の素子形成領域に M I S ・ F E T を形成する工程。

【請求項 2 0】 請求項 5、6 または 7 記載の半導体集積回路装置を製造する際に、以下の工程を有することを特徴とする半導体集積回路装置の製造方法。

(a) 第 3 の半導体基板に対して選択酸化処理を施すことにより、前記第 3 の半導体基板の主面において素子分離領域に素子分離絶縁膜を形成する工程。

(b) 前記第 3 の半導体基板の主面上に所定の導電形の導体パターンを形成した後、所定の絶縁膜を堆積する工程。

(c) 前記所定の絶縁膜と第 4 の半導体基板とを貼り合わせることにより、前記第 3 の半導体基板と前記第 4 の半導体基板とを接合する工程。

(d) 前記第 3 の半導体基板の裏面を、前記素子分離絶縁膜が露出するまで除去することにより半導体層を形成する工程。

(e) 前記半導体層に M I S ・ F E T を形成する工程。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、S O I (Silicon On Insulator) 構造を有する半導体集積回路装置およびその製造技術に適用して有効な技術に関するものである。

【 0 0 0 2 】 なお、以下の説明においては、n チャネル MOS ・ F E T を n MOS、p チャネル MOS ・ F E T を p MOS、それら双方の MOS ・ F E T を組み合わせで構成した相補型 (Complimentary) MOS ・ F E T を C MOS という。

【 0 0 0 3 】

10

20

30

40

50

【従来の技術】SOI技術は、絶縁層上に形成された半導体薄膜層に、所定の半導体集積回路素子（以下、単に素子という）を形成する技術であり、例えば以下のような利点がある。

【0004】(1). 完全な素子分離が可能なので、配線－基板間の寄生容量や拡散層容量等を低減でき、半導体集積回路装置の動作速度を向上させることができる。

【0005】(2). 寄生MOSTランジスタや寄生バイポーラトランジスタ等のような能動的寄生素子の形成を防止できるので、ラッチアップ等を防止することができる。

【0006】(3). 半導体メモリ製品等において問題となる α 線ソフトエラーの耐性を向上させることができる。

【0007】従来のSOI技術については、例えば(1). アイ・イー・イー・イー トランスオン エレクトロニクスデバイス (IEEE Trans on Electron Devices) 1993年1月発行、Vol 40, NO. 1, PP179～186に記載がある。

【0008】この文献には、絶縁層上の半導体薄膜層にnMOSを設ける場合について記載があり、そのしきい値電圧を所定値に設定するために、そのチャネル領域に高濃度のp型不純物を導入する技術が開示されている。

【0009】しかし、チャネル領域の不純物濃度を高く設定すると、キャリアの移動度が低下することによりnMOSの伝達コンダクタンスが低下したり、また、ドレイン領域とチャネル領域との接合耐圧が低下したりする問題があった。

【0010】このような問題を改善する技術としては、例えば1993年1月21日発行、電子情報通信学会技術研究報告（信学技術）Vol92, NO. 424, S DM92-137-149, PP27～32に記載があり、この文献には、チャネル領域の不純物濃度を低くした状態で、MOS・FETのしきい値電圧を制御する技術について説明されている。

【0011】この場合の従来技術を図43に示す。半導体基板60上には、絶縁層61を介して半導体層62が形成されている。半導体層62上には、nMOS63が形成されている。nMOS63は、半導体層62に形成された一対の半導体領域64、64と、その上層のゲート絶縁膜65と、その上層に形成されたp形ポリシリコンからなるゲート電極66とから構成されている。

【0012】そして、この従来技術においては、nMOS63のチャネル領域における不純物濃度を低くした状態で、nMOS63のしきい値電圧を所定値に設定するために、絶縁層61中にも、一対の半導体領域64、64にかかる程度の大きさに形成されたp形ポリシリコンからなるゲート電極67が設けられており、そのゲート電極67が、nMOS63のゲート電極66と電気的に接続されている。

【0013】

【発明が解決しようとする課題】ところが、SOI基板を構成する半導体基板上の絶縁層中にゲート電極を設ける上記従来の技術においては、以下の問題があることを本発明者は見出した。

【0014】すなわち、実際に得られているしきい値電圧は、高すぎ（あるいは低すぎ）て適切な値となっていないという問題があった。

【0015】本発明は上記課題に着目してなされたものであり、その目的は、SOI構造を有する半導体集積回路装置に形成された素子におけるしきい値電圧の制御性を向上させることのできる技術を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0018】すなわち、請求項1記載の発明は、半導体基板上に絶縁層を介して形成された半導体層にMIS・FETが形成されたSOI基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記MIS・FETの少なくともゲート電極に対向する位置に下部電極を設け、前記ゲート電極と、前記下部電極とのいずれか一方に固定バイアス電圧が印加されるように設定した半導体集積回路装置構造とするものである。

【0019】請求項2記載の発明は、半導体基板上に絶縁層を介して形成された半導体層にMIS・FETが形成されたSOI基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記MIS・FETの少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を設け、前記ゲート電極と、前記下部電極とのいずれか一方に固定バイアス電圧が印加されるように設定した半導体集積回路装置構造とするものである。

【0020】請求項3記載の発明は、半導体基板上に絶縁層を介して形成された半導体層にMIS・FETが形成されたSOI基板を有する半導体集積回路装置であって、前記半導体基板の上部において、前記MIS・FETの少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を設け、前記ゲート電極と前記下部電極とを電気的に接続した半導体集積回路装置構造とするものである。

【0021】請求項4記載の発明は、前記下部電極を、所定の導電形の不純物を導入することによって構成するとともに、前記下部電極の導電形とは異なる導電形のウエルで取り囲み、前記下部電極と前記ウエルとの接合部に逆バイアス電圧が印加されるように設定した半導体集積回路装置構造とするものである。

【0022】請求項10記載の発明は、前記下部電極を、前記MIS・FETのチャネル領域の下方にのみ配置した半導体集積回路装置構造とするものである。

【0023】請求項12記載の発明は、半導体基板上に絶縁層を介して形成された半導体層にMIS・FETが形成されたSOI基板を有する半導体集積回路装置であって、前記半導体基板の上部または前記絶縁層中において、前記MIS・FETの少なくともゲート電極に対向する位置に、前記ゲート電極の構成材料とは仕事関数の異なる材料からなる下部電極を設け、前記ゲート電極と前記下部電極とを電気的に接続するとともに、前記ゲート電極と前記半導体層との間のゲート絶縁膜の厚さと、前記下部電極と前記半導体層との間の下部絶縁膜の厚さとを異なるようにした半導体集積回路装置構造とするものである。

【0024】

【作用】上記した請求項1記載の発明によれば、半導体層に形成されるチャネルの形成状態を、例えば下部電極に所定の固定バイアス電圧を印加することにより制御することができるので、その半導体層上に形成されたMIS・FETのしきい値電圧の制御性を向上させることが可能となる。

【0025】上記した請求項2記載の発明によれば、例えばゲート電極の構成材料をチャネルの形成され易い材料とし、下部電極の構成材料をチャネルの形成され難い材料とすることにより、チャネルの形成状態を制御することができるので、その半導体層上に形成されたMIS・FETのしきい値電圧の制御性を向上させることが可能となる。

【0026】上記した請求項3記載の発明によれば、ゲート電極と下部電極とを電気的に接続することにより、それらを接続しない場合に比べて伝達コンダクタンスを約2倍にすることができるので、そのMIS・FETの駆動能力を向上させることが可能となる。

【0027】上記した請求項4記載の発明によれば、半導体層上に形成された複数のMIS・FETの各々の下部電極毎に、所定の固定バイアス電圧を印加することが可能となる。

【0028】上記した請求項10記載の発明によれば、ゲート電極とチャネル領域との間の容量を小さくすることができるので、MIS・FETの動作速度を向上させることが可能となる。また、ドレイン領域の端部の電界集中を緩和することができるので、ドレイン耐圧を向上させることが可能となる。

【0029】上記した請求項12記載の発明によれば、ゲート絶縁膜の厚さと、下部絶縁膜の厚さとを所定の厚さに設定することにより、チャネルの形成状態を制御することができるので、その半導体層上に形成されたMIS・FETのしきい値電圧の制御性を向上させることが可能となる。

【0030】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。

【0031】（実施例1）図1は本発明の一実施例である半導体集積回路装置の要部断面図、図2は半導体チップの全体平面図、図3はその半導体集積回路装置の要部平面図、図4は半導体集積回路装置の要部断面図、図5は通常のMOS・FETの構造を模式的に示す説明図、図6は図5の電荷分布の状態を示す説明図、図7（a）は通常のnMOSにおけるゲート絶縁膜厚としきい値電圧との関係を示すグラフ図、図7（b）は通常のnMOSにおける基板バイアス電圧としきい値電圧との関係を示すグラフ図、図8（a）～（d）はnMOSのゲート電極材料と下部電極材料とを種々変えた場合におけるしきい値電圧の状態を示すグラフ図、図9（a）は通常のpMOSにおけるゲート絶縁膜厚としきい値電圧との関係を示すグラフ図、図9（b）は通常のpMOSにおける基板バイアス電圧としきい値電圧との関係を示すグラフ図、図10（a）～（d）はpMOSのゲート電極材料と下部電極材料とを種々変えた場合におけるしきい値電圧の状態を示すグラフ図、図11～図19は本実施例1の半導体集積回路装置の製造工程中における要部断面図である。

【0032】本実施例1の半導体集積回路装置は、例えばCMOSゲートアレイである。そのCMOSゲートアレイは、例えば図2に示すような平面四角形状の半導体チップ1に形成されている。

【0033】半導体チップ1の主面中央には、内部回路領域Aが配置されている。内部回路領域Aには、CMOS等のような論理回路を構成するための半導体集積回路素子が形成されている。

【0034】その内部回路領域Aの外側には、外部回路領域Bが配置されている。外部回路領域Bには、バッファ回路等のような入力回路や出力回路を構成するための半導体集積回路素子が形成されている。

【0035】さらに、その外部回路領域Bの外側には、複数のボンディングパッド2が配置されている。ボンディングパッド2は、例えばアルミニウム（Al）－シリコン（Si）－銅（Cu）合金からなり、半導体チップ1の外周に沿って所定の間隔毎に配置されている。

【0036】その内部回路領域Aの要部拡大平面図を図3に示す。また、図3のI－I線の断面図を図1に示す。

【0037】本実施例1の半導体チップ1は、半導体基板1aと、半導体基板1a上に形成された絶縁層1bと、絶縁層1b上に形成された半導体層1cとを備えている。

【0038】半導体基板1aは、例えばp形のSi単結晶からなる。半導体基板1aには、例えばホウ素等のようなp形不純物が導入されており、その不純物濃度は、

例えば 1×10^{15} 個/cm³ 程度である。

【0039】絶縁層1bは、例えば二酸化ケイ素(SiO₂)からなる。半導体層1cは、例えばp形のSi単結晶からなる。

【0040】半導体層1cには、例えばCMOS3が形成されている。そのCMOS3は、nMOS3nとpMOS3pとから構成されている。

【0041】nMOS3nは、半導体層1cに形成された一対の拡散層3n₁、3n₂と、半導体層1c上に形成されたゲート絶縁膜3n₃と、ゲート絶縁膜3n₃上に形成されたゲート電極3n₄とを有している。

【0042】ゲート絶縁膜3n₃は、例えばSiO₂からなり、その厚さは、例えば10nm程度である。拡散層3n₁には、例えばヒ素(As)等のようなn形不純物が導入されている。その不純物濃度は、例えば 1×10^{20} 個/cm³ 程度である。ゲート電極3n₄は、例えばn形のポリシリコンからなる。ゲート電極3n₄には、例えばリン等のようなn形不純物が導入されており、その不純物濃度は、例えば 1×10^{20} 個/cm³ 程度である。

【0043】一方、pMOS3pは、半導体層1cに形成された一対の拡散層3p₁、3p₂と、半導体層1c上に形成されたゲート絶縁膜3p₃と、ゲート絶縁膜3p₃上に形成されたゲート電極3p₄とを有している。

【0044】ゲート絶縁膜3p₃は、例えばSiO₂からなり、その厚さは、例えば10nm程度である。拡散層3p₁には、例えばホウ素等のようなp形不純物が導入されており、その不純物濃度は、例えば 1×10^{20} 個/cm³ 程度である。ゲート電極3p₄は、例えばn形のポリシリコンからなる。ゲート電極3p₄には、例えばリン等のようなn形不純物が導入されており、その不純物濃度は、例えば 1×10^{20} 個/cm³ 程度である。

【0045】nMOS3nの一対の拡散層3n₁のうちの一方の拡散層3n₁と、pMOS3pの一対の拡散層3p₁のうちの一方の拡散層3p₁とは、引出し電極4aおよびそれと一体的に形成された配線5aを通じて電氣的に接続されている。配線5aは、出力V_{out}と電氣的に接続されている。

【0046】また、nMOS3nの他方の拡散層3n₂は、引出し電極4bおよびそれと一体的に形成された接地電圧(V_{ss})用の配線5bと電氣的に接続されている。一方、pMOS3pの他方の拡散層3p₂は、引出し電極4cおよびそれと一体的に形成された電源電圧(V_{cc})用の配線5cと電氣的に接続されている。

【0047】nMOS3nのゲート電極3n₄とpMOS3pのゲート電極3p₄とは、一体的に形成され、配線5dと電氣的に接続されている。配線5dは、入力(V_{in})と電氣的に接続されている。

【0048】ところで、本実施例1においては、絶縁層1b中において、nMOS3nおよびpMOS3pの下

方に、下部電極3n₄、3p₄が設けられている。

【0049】下部電極3n₄、3p₄は、例えばp形のポリシリコン等からなり、nMOS3nおよびpMOS3pのゲート電極3n₃、3p₃の構成材料とは仕事関数の異なる材料によって構成されている。下部電極3n₄、3p₄には、例えばホウ素等のようなp形不純物が導入されており、その不純物濃度は、例えば 1×10^{20} 個/cm³ 程度である。

【0050】また、本実施例1においては、内部回路領域AにおけるnMOS3nおよびpMOS3pの下部電極3n₄、3p₄は、それぞれ引出し電極4d、4eを通じて固定バイアス電源電圧用配線V_{bias1}、V_{bias2}と電氣的に接続されている。固定バイアス電源電圧用配線V_{bias1}、V_{bias2}は、固定バイアス電源と電氣的に接続されている。本実施例1においては、固定バイアス電源電圧が、例えば零(0)Vに設定されている。

【0051】本実施例1においては、内部回路領域Aにおける複数のnMOS3nに対して共通の固定バイアス電源電圧を供給することが可能となっている。また、内部回路領域Aにおける複数のpMOS3pに対しても共通の固定バイアス電源電圧を供給することが可能となっている。

【0052】したがって、個々のnMOS3nまたはpMOS3p毎に固定バイアス電源電圧供給用の端子を設ける必要はなく、内部回路領域A内の所定の回路ブロック毎に固定バイアス電源電圧供給用の端子を設ければ良いので、半導体集積回路の集積度を低下させることなく、固定バイアス電源電圧を給電することが可能となっている。

【0053】このように、本実施例1においては、nMOS3nおよびpMOS3pの下層に設けられた下部電極3n₄、3p₄に所定の固定バイアス電源電圧を印加することを可能としたこと、また、ゲート電極3n₃、3p₃と下部電極3n₄、3p₄との構成材料を変えたことにより、nMOS3nおよびpMOS3pのしきい値電圧を所望の値に設定することが可能となっている。詳細については後述する。

【0054】上記した引出し電極4a~4eおよび配線5a~5dは、例えばAl-Si-Cu合金からなる。また、半導体層1cの所定の領域には、例えばSiO₂からなる素子分離用のフィールド絶縁膜6が形成されている。上記した絶縁層1bは、このフィールド絶縁膜6と、絶縁膜(下部絶縁膜)7と、絶縁膜8とによって構成されている。なお、符号の9は、例えばSiO₂等からなる絶縁膜を示している。

【0055】また、半導体チップ1の外部回路領域Bの要部断面図を図4に示す。ここには、例えば出力回路を構成するnMOS3nの拡大断面図が示されている。本実施例1においては、図4に示すように、外部回路領域BにおけるnMOS3nのゲート電極3n₃と下部電極

3n' とが電氣的に接続されているものがある。これにより、伝達コンダクタンスを、上記した内部回路領域A内のnMOS 3nの約2倍にすることが可能となっている。

【0056】さらに、本実施例1においては、半導体層1cと下部電極3n₁、3p₁との間の絶縁膜7の厚さと、ゲート絶縁膜3n₂、3p₂の厚さとが異なっている。そして、本実施例1においては、その絶縁膜7とゲート絶縁膜3n₂、3p₂との厚さの比を所定の値に設定することにより、特に、ゲート電極3n₃と下部電極3n₁とを接続したnMOS 3nのしきい値電圧を所望の値に設定することが可能となっている。

【0057】このnMOS 3nの形成領域における絶縁膜7の厚さは、例えば20nm程度である。すなわち、本実施例1においては、nMOS 3nおよびpMOS 3pの形成された能動層の下層の絶縁膜7を薄くすることにより、しきい値電圧-固定バイアス電源電圧特性を有効にすることが可能となるとともに、絶縁膜7以外の他の絶縁膜（フィールド絶縁膜6）の部分を厚くすることにより、寄生容量を低下することが可能な構造となっている。

【0058】次に、本実施例1の半導体集積回路装置の作用を説明する。

【0059】ここでは、nMOSを例として、ドレイン電流およびしきい値電圧がどのように決定されるかを図5および図6によって説明する。

【0060】なお、図5はSOI基板上に形成された通常のnMOS 50の構造を模式的に示す図である。51は半導体基板、52は絶縁層および53は半導体層を示

$$Q_{sub} = -C_{BOX}^* (\Psi(y) + 2\phi_F - \Psi_{sub})$$

【0069】ここで、C_{ox}は単位ゲート容量（=ε_{ox}（ゲート絶縁膜の誘電率）/T_{ox}（ゲート絶縁膜の厚さ））を示し、φ_Fはフェルミ電位を示し、qは単位電荷量（=1.6×10⁻¹⁹C）を示し、N_{Si}は半導体層53中の不純物濃度（アクセプタ形）を示し、ψ_{ss}は半

$$C_{BOX}^* = \frac{\epsilon_{OX}}{(\epsilon_{Si} / \epsilon_{OX}) T_{Si} + T_{BOX}}$$

【0071】ここで、ε_{Si}はSiの誘電率である。

【0072】次いで、上記した数3～数5を数2に代入することにより、チャネル電荷Q_nが、ψ(y)の関数

$$Q_n = -C_{OX} \left[(V_G - 2\phi_F - \frac{qN_{Si}T_{Si}}{C_{OX}} + \frac{C_{BOX}^*}{C_{OX}} (\Psi_{sub} - 2\phi_F)) - (1 + \frac{C_{BOX}^*}{C_{OX}}) \Psi(y) \right]$$

【0074】他方、nMOSの場合は、ドリフト成分が

している。また、図6は図5の電荷分布の状態を示す図であり、図5に示すようにX-Yの座標軸をとる。

【0061】まず、図5の点C（チャネル表面）を含み、破線Dに沿って、下記の数1のGaussの定理を適用する。

【0062】

【数1】

$$\oint D \cdot dl = Q$$

【0063】これにより、図6に示すように、ゲート電荷Q_G、チャネル電荷Q_n、半導体層53の不純物電荷Q_B、基板表面電荷Q_{sub}が誘起され、下記の数2の関係を満たすことが示される（界面固定電荷Q_{fix}=0とした）。

【0064】

【数2】

$$Q_G = Q_n + Q_B + Q_{sub}$$

【0065】点Cでのポテンシャルをψ(y)と表すと、これらの電荷は、下記の数3～数5の式で決定される。

【0066】

【数3】

$$Q_G = -C_{OX} (V_G - 2\phi_F - \Psi(y))$$

【0067】

【数4】

$$Q_B = -qN_{Si}T_{Si}$$

【0068】

【数5】

導体基板51の基板電位を示している。また、C

_{BOX}は、半導体層53と絶縁層52との等価的な絶縁膜換算膜厚であり、下記の数6の式で定義される。

【0070】

【数6】

として下記の数7のように求まる。

【0073】

【数7】

*

主体であり、ドレイン電流I_dは、下記の数8で表すこ

とができる。

【0075】

【数8】

$$I_{ds} = -W Q_n \mu_n \frac{d\psi(y)}{dy}$$

【0076】ここで、 μ_n はキャリア（電子）移動度を

$$I_{ds} = \frac{W}{L} C_{OX} \mu_n \left[(V_G - V_{TH}^*) V_D - \left(1 + \frac{C_{BOX}^*}{C_{OX}}\right) \frac{V_D^2}{2} \right]$$

【0078】ここで、 V_{TH} は基板電位 ψ_{sub} がかったときのしきい値電圧であり、下記の数10の式で示される。

$$V_{TH}^* = \phi_{MS} + 2\phi_F + \frac{qN_{Si}T_{Si}}{C_{OX}} + \frac{C_{BOX}^*}{C_{OX}} (|\psi_{sub}| + 2\phi_F)$$

【0080】ここで、 ϕ_{ms} は半導体層53とゲート電極50gとの仕事関数差である。また、半導体基板51と半導体層53との仕事関数差を ϕ_{bs} とすると、 ψ_{sub} は、基板バイアス電圧 V_{bs} に対して下記の数11の式で表される。

【0081】

【数11】

$$\psi_{sub} = V_b - \phi_{bs}$$

【0082】ここで、ゲート電極50gの材料としてn形のポリシリコンを用い、半導体基板51の材料としてp形のSiを用いたとすると、 $\phi_{ms} = -0.9V$ となり、 $\phi_F = \text{約}0.3V$ であることから $2\phi_F = \text{約}0.6V$ となる。したがって、上記した数10の右辺の第3項および第4項により、 $V_{TH} > 0$ の所望の値を設定しなければならないことがわかる。

【0083】この上記した数10の式を基にしてnMOS50の V_{TH} を算出してグラフとした図を図7(a)、(b)に示す。

【0084】図7(a)は、例えば半導体層53の厚さを35nm、絶縁層52の厚さを120nm、 ψ_{sub} を

$$V_{TH}^* = \frac{1}{1+r_c} [\phi_{MS} + r_c \phi_{bs}] + 2\phi_F + \frac{qN_{Si}T_{Si}}{C_{OX}}$$

【0088】ここで、 r_c は下記の数13の式で表される。

【0089】

【数13】

$$r_c = \frac{C_{BOX}^*}{C_{OX}} \left(= \frac{T_{OX}}{T_{BOX}} \right)$$

【0090】したがって、 ϕ_{ms} 、 ϕ_{bs} および r_c のとり

示し、Wはチャネル幅を示す。次いで、上記した数7を数8の式に代入し、両辺のソース端からドレイン端まで積分すると、下記の数9のドレイン電流 I_{ds} を表す解析式が求まる。ただし、ここでは、 $\mu_n = \text{一定}$ と仮定する。

【0077】

【数9】

【0079】

【数10】

0Vとし、半導体層53中のp形不純物の濃度 N_{Si} をパラメータとした時のゲート絶縁膜50goxの厚さ T_{ox} としきい値電圧 V_{TH} との関係を示したものである。この図からも判るように、本構造の場合は、特に微細なnMOS50の基本要件であるゲート絶縁膜50goxの厚さ T_{ox} の薄膜化に対して、 $V_{TH} > 0$ の所望の値に設定することが極めて困難となることが分かる。

【0085】また、図7(b)は、構造実数を図中に示す値に設定した場合において、基板バイアス電圧 V_{bs} を変化させた時の V_{TH} の変化を示したものである。この図から V_{TH} の値は、 V_{bs} の絶対値を大きくすれば、その絶対値に比例して大きくなり、その変化量は、絶縁層52の厚さを薄くすると大きくなることが分かる。

【0086】また、半導体基板51をnMOS50の下部ゲート電極として考えた場合、基板バイス電圧 V_{bs} はゲート電圧 V_g と等しくなり、その時の V_{TH} の式は、上記した数7、数10および数11の式から下記の数12の式となる。

【0087】

【数12】

方により V_{TH} を比較的容易にしかも制御性良く設定することが可能であることが判る。

【0091】ここで、 V_{TH} が、 ϕ_{ms} 、 ϕ_{bs} および r_c により、どのように変化するかを図8(a)～(d)に示す。ここでは、nMOS3nのゲート電極材料は、例えば通常使用されているn形ポリシリコンまたはp形ポリシリコンであると仮定し、半導体層1cのチャネル領域は、例えば低濃度のp形不純物が導入されたSiであると仮定する。

【0092】図8(a)は、ゲート電極3n₃ および下部電極3n₄ の材料を共にp形ポリシリコンとした場合が示されている。ここでは、 ϕ_{w_s} および ϕ_{b_s} は、例えば0.3V、 $2\phi_f$ は、例えば0.6Vとする。この場合、 V_{TH} は、 r_c に関係無く、例えば0.9Vとなり、所望する値よりも高い値となる。ここで、所望する V_{TH} の値は、例えば電源電圧が3~5Vの場合、例えば0.3~0.5V程度であり、例えば電源電圧が1.5Vの場合、例えば0.1~0.15V程度である。

【0093】図8(b)は、ゲート電極3n₃ および下部電極3n₄ の材料を共にn形ポリシリコンとした場合が示されている。ここでは、 ϕ_{w_s} および ϕ_{b_s} は、例えば-0.9V、 $2\phi_f$ は、例えば0.6Vとする。この場合、 V_{TH} は、 r_c に関係無く、例えば-0.3Vとなり、所望する値よりも低い値となる。

【0094】図8(c)は、ゲート電極3n₃ の材料をp形ポリシリコンとし、下部電極3n₄ の材料をn形ポリシリコンとした場合が示されている。ここでは、 ϕ_{w_s} は、例えば0.3V、 ϕ_{b_s} は、例えば-0.9V、 $2\phi_f$ は、例えば0.6Vとする。この場合、 V_{TH} は、 r_c の値によって制御することができる。例えば $V_{TH}=0.5V$ を実現するためには、図8(c)から判るように、 r_c を、例えば0.5程度にすれば良い。

【0095】また、図8(d)は、ゲート電極3n₃ の材料をn形ポリシリコンとし、下部電極3n₄ の材料をp形ポリシリコンとした場合が示されている(すなわち、本実施例1の場合である)。ここで ϕ_{w_s} は、例えば-0.9V、 ϕ_{b_s} は、例えば0.3V、 $2\phi_f$ は、例えば0.6Vとする。この場合も、 V_{TH} は、 r_c の値によって制御することができる。例えば $V_{TH}=0.15V$ を実現するためには、図8(d)から判るように、 r_c を、例えば0.4程度にすれば良い。

【0096】このように、本実施例1の半導体集積回路装置においては、ゲート電極3n₃ と下部電極3n₄ とを仕事関数の異なる材料によって構成したことにより、すなわち、ゲート電極3n₃ をチャネルの形成され易い材料と形成され難い材料とによって構成することにより、低い電源電圧で動作する場合において、しきい値電圧 V_{TH} を制御性良く制御することが可能となっている。

【0097】これは、半導体層1c中のホウ素の濃度を制御することにより、しきい値電圧 V_{TH} を、例えば0V~0.3V程度の範囲で任意に設定することができるということを考慮すれば明らかであり、 r_c および半導体層1c中のホウ素濃度を制御することにより、しきい値電圧 V_{TH} を、例えば0V~0.45V程度に設定することができる。

【0098】また、 r_c の変化やバラツキに対するしきい値電圧 V_{TH} の変化も比較的小さくすることができるので、しきい値電圧 V_{TH} の制御性も良好である。なお、図8(d)の構造においては、半導体層1c中のホウ素の

濃度を変えても、しきい値電圧 $V_{TH}>0$ となること明白である。

【0099】また、図8(d)の構造においては、半導体層1c中のホウ素の濃度を大きくして、しきい値電圧 V_{TH} を制御することにより、図8(c)の構造の場合のように半導体層1cとしてほとんど真性Siを使う場合に比べて、ドレイン領域から延びる空乏層が短くなり、ソース・ドレイン間のパンチスルー耐圧を高くすることが可能となっている。

【0100】一方、図7(a)、(b)に対応するpMOSの V_{TH} のグラフを図9(a)、(b)に示す。ここでは、pMOSのゲート電極材料は、例えば通常使用されているn形ポリシリコンであると仮定し、半導体層のチャネル領域は、例えば低濃度のp形不純物が導入されたSiであると仮定する。

【0101】また、この場合において、 V_{TH} が、 ϕ_{w_s} 、 ϕ_{b_s} および r_c により、どのように変化するかを図10(a)~(d)に示す。

【0102】図10(a)は、ゲート電極および下部電極の材料を共にp形ポリシリコンとした場合が示されている。ここでは、 ϕ_{w_s} および ϕ_{b_s} は、例えば-0.3V、 $2\phi_f$ は、例えば-0.6Vとする。この場合、 V_{TH} は、 r_c に関係無く、例えば-0.9Vとなる。

【0103】図10(b)は、ゲート電極および下部電極の材料を共にn形ポリシリコンとした場合が示されている。ここでは、 ϕ_{w_s} および ϕ_{b_s} は、例えば0.9V、 $2\phi_f$ は、例えば0.6Vとする。この場合、 V_{TH} は、 r_c に関係無く、例えば0.3Vとなる。

【0104】図10(c)は、ゲート電極の材料をp形ポリシリコンとし、下部電極の材料をn形ポリシリコンとした場合が示されている。ここでは、 ϕ_{w_s} は、例えば-0.3V、 ϕ_{b_s} は、例えば0.9V、 $2\phi_f$ は、例えば-0.6Vとする。この場合、 V_{TH} は、 r_c の値によって制御することができる。例えば $V_{TH}=-0.5V$ を実現するためには、図10(c)から判るように、 r_c を、例えば0.75程度にすれば良い。

【0105】また、図10(d)は、ゲート電極の材料をn形ポリシリコンとし、下部電極の材料をp形ポリシリコンとした場合が示されている(すなわち、本実施例1の場合である)。ここで ϕ_{w_s} は、例えば0.9V、 ϕ_{b_s} は、例えば-0.3V、 $2\phi_f$ は、例えば-0.6Vとする。この場合も、 V_{TH} は、 r_c の値によって制御することができる。例えば $V_{TH}=-0.15V$ を実現するためには、図10(d)から判るように、 r_c を、例えば0.9程度にすれば良い。

【0106】このように、本実施例1の半導体集積回路装置においては、pMOS 3pにおいても、ゲート電極3p、と下部電極3p、とを仕事関数の異なる材料によって構成したことにより、低い電源電圧で動作する場合において、しきい値電圧 V_{TH} を制御性良く制御すること

が可能となっている。

【0107】次に、上記した r_c の設定範囲について説明する。

【0108】まず、図8および図10により、半導体層1cの不純物濃度が充分低い場合において、nMOS3nのしきい値電圧 V_{TH} を、例えば0.15V~0.5V ($V_{cc}=1.5V\sim5V$ の1/10)とした場合、以下のようにになる。

【0109】すなわち、ゲート電極3n₃の構成材料をn形ポリシリコン、下部電極3n₄の構成材料をp形ポリシリコンとした時、例えば $r_c \leq 0.4$ である(式(1))。

【0110】また、ゲート電極3n₃の構成材料をp形ポリシリコン、下部電極3n₄の構成材料をn形ポリシリコンとした時、例えば $r_c \leq 0.5$ である(式(2))。

【0111】一方、pMOS3pのしきい値電圧 V_{TH} を、例えば-0.15V~-0.5V ($V_{cc}=1.5V\sim5V$ の1/10)とした場合、以下のようにになる。

【0112】すなわち、ゲート電極3p₃の構成材料をn形ポリシリコン、下部電極3p₄の構成材料をp形ポリシリコンとした時、例えば $0.8 \leq r_c \leq 1.2$ である(式(3))。

【0113】また、ゲート電極3p₃の構成材料をp形ポリシリコン、下部電極3p₄の構成材料をn形ポリシリコンとした時、例えば $1.0 \leq r_c \leq 1.2$ である(式(4))。

【0114】したがって、式(1)と式(3)との組合せ、式(2)と式(4)との組合せによって共に満足する r_c は無い。しかし、半導体層1c中の不純物濃度による制御が、 $\pm 0.3V$ 程度の範囲で設定することが可能な場合には、nMOS3nのしきい値電圧 V_{TH} を、例えば0.15V~0.5V ($V_{cc}=1.5V\sim5V$ の1/10)とした場合、以下のようにになる。

【0115】すなわち、ゲート電極3n₃の構成材料をn形ポリシリコン、下部電極3n₄の構成材料をp形ポリシリコンとした時、例えば $0.3 \leq r_c \leq 1.2$ である(式(5))。

【0116】また、ゲート電極3n₃の構成材料をp形ポリシリコン、下部電極3n₄の構成材料をn形ポリシリコンとした時、例えば $r_c \leq 0.8$ である(式(6))。

【0117】一方、pMOS3pのしきい値電圧 V_{TH} を、例えば-0.15V~-0.5V ($V_{cc}=1.5V\sim5V$ の1/10)とした場合、以下のようにになる。

【0118】すなわち、ゲート電極3p₃の構成材料をn形ポリシリコン、下部電極3p₄の構成材料をp形ポリシリコンとした時、例えば $0.3 \leq r_c \leq 0.9$ である(式(7))。

【0119】また、ゲート電極3p₃の構成材料をp形ポリシリコン、下部電極3p₄の構成材料をn形ポリシリコンとした時、例えば $0.3 \leq r_c \leq 0.9$ である(式

(8))。

【0120】したがって、nMOS3nおよびpMOS3pのしきい値電圧(絶対値)が、例えば0.15V~0.5Vとなる r_c の範囲は、下記の範囲にすることが良い。

【0121】すなわち、ゲート電極3n₃、3p₃の構成材料をn形ポリシリコン、下部電極3n₄、3p₄の構成材料をp形ポリシリコンとした時、例えば $0.3 \leq r_c \leq 0.9$ である(式(9))。

【0122】また、ゲート電極3n₃、3p₃の構成材料をp形ポリシリコン、下部電極3n₄、3p₄の構成材料をn形ポリシリコンとした時、例えば $0.3 \leq r_c \leq 0.8$ である(式(10))。

【0123】次に、本実施例1の半導体集積回路装置の製造方法例を図11~図19によって説明する。なお、ここでは、説明を簡単にするため、SOI基板上にnMOS3nのみを形成する場合について説明する。

【0124】まず、図11に示すように、例えばp形のSi単結晶からなる半導体基板1c₁の主面上に選択酸化法等によってフィールド絶縁膜6を形成した後、隣接するフィールド絶縁膜6の間に絶縁膜7を形成する。

【0125】続いて、そのフィールド絶縁膜6および絶縁膜7上に、例えばn形ポリシリコンからなる導体膜をCVD法等によって堆積した後、その導体膜をフォトリソグラフィ技術によってパターニングすることにより、下部電極3n₄を形成する。

【0126】その後、図12に示すように、半導体基板1c₁上に、例えばBPSG (BoroPhospho Silicate Glass)等からなる絶縁膜1b₁を形成する。なお、上記した絶縁層1bは、フィールド絶縁膜6、絶縁膜7および絶縁膜1b₁によって形成される。

【0127】次いで、図13に示すように、半導体基板1c₁と、他に用意した半導体基板1aとを、半導体基板1c₁上に形成された絶縁膜1b₁を間に介在させた状態で熱処理等によって張り合わせる。なお、半導体基板1aは、例えばp形のSi単結晶からなる。

【0128】続いて、図14に示すように、半導体基板1c₁の裏面を研磨する。この際、フィールド絶縁膜6が露出する程度に研磨する。これにより、半導体層1cを形成する。

【0129】その後、図15に示すように、半導体層1cの上面を酸化することにより、半導体層1c上にゲート絶縁膜3n₂を形成した後、半導体層1cおよびフィールド絶縁膜6上に、例えばポリシリコンをCVD法によって堆積する。

【0130】次いで、そのポリシリコンのゲート電極形成領域に、例えばリン等のようなn形不純物を導入した後、そのポリシリコンをフォトリソグラフィ技術によってパターニングすることにより、半導体層1c上にゲート電極3n₃を形成する。

【0131】続いて、図16に示すように、ゲート電極3n₁をマスクとして、半導体層1cに、例えばAs等のようなn形不純物をイオン打ち込み法等によって導入することにより、半導体層1cにおいてゲート電極3n₁の両側に一对の拡散層3n₁、3n₁を形成する。これにより、半導体層1c上にnMOS3nを形成する。

【0132】その後、図17に示すように、半導体層1c、フィールド絶縁膜6およびゲート電極3n₁上にフォトリソパターン10aを形成した後、そのフォトリソパターン10aをマスクとして、フィールド絶縁膜6に下部電極3n₁に達するスルーホール11aを形成する。

【0133】次いで、図18に示すように、半導体層1c、フィールド絶縁膜6、スルーホール11aおよびゲート電極3n₁上に、例えばPSG(Phospho Silicate Glass)またはBPSG等からなる絶縁膜9を堆積する。

【0134】続いて、図19に示すように、上記したスルーホール11aの位置の絶縁膜9に、下部電極3n₁に達するスルーホール11bを形成し、拡散層3n₁、3n₁上の絶縁膜9に拡散層3n₁、3n₁に達するスルーホール11cを形成した後、絶縁膜9上に、例えばAl-Si-Cu合金からなる導体膜を堆積する。

【0135】その後、その導体膜をフォトリソグラフィ技術によってパターニングすることにより、引出し電極4a、4b、4dおよび配線等を形成する。

【0136】このように、本実施例1においては、以下の効果を得ることが可能となる。

【0137】(1). SOI基板に形成された絶縁層1b中において、半導体層1cに形成されたnMOS3nおよびpMOS3pの下方に、下部電極3n₁、3p₁を設け、その下部電極3n₁、3p₁に所定の固定バイアス電圧を印加可能とすることにより、nMOS3nおよびpMOS3pのしきい値電圧の制御性を向上させることが可能となる。

【0138】(2). nMOS3nおよびpMOS3pのゲート電極3n₁、3p₁の材料と、下部電極3n₁、3p₁の材料とを仕事関数の異なる材料によって構成し、nMOS3nおよびpMOS3pのチャネル領域におけるチャネル形成状態を制御することにより、nMOS3nおよびpMOS3pのしきい値電圧の制御性をさらに向上させることが可能となる。

【0139】(3). nMOS3nおよびpMOS3pのゲート絶縁膜3n₂、3p₂の厚さと、絶縁膜7(半導体層1cと下部電極3n₁、3p₁との間の絶縁膜)との厚さの比を所定値に設定し、nMOS3nおよびpMOS3pのチャネル領域におけるチャネル形成状態を制御することにより、nMOS3nおよびpMOS3pのしきい値電圧の制御性をさらに向上させることが可能となる。

【0140】(4). nMOS3nおよびpMOS3pのゲート電極3n₁、3n₁と、下部電極3n₁、3p₁とを電氣的に接続することにより、そのnMOS3nおよびpMOS3pの伝達コンダクタンスを増大させることができるので、そのnMOS3nおよびpMOS3pの駆動能力を大幅に向上させることが可能となる。そして、そのnMOS3nおよびpMOS3pによって出力回路を構成することにより、半導体集積回路装置の性能および信頼性を向上させることが可能となる。

【0141】(5). 内部回路領域Aにおける複数のnMOS3nおよびpMOS3pに対して、それぞれ共通の固定バイアス電源電圧を供給することを可能としたことにより、個々のnMOS3nまたはpMOS3p毎に固定バイアス電源電圧供給用の端子を設ける必要はなく、内部回路領域A内の所定の回路ブロック毎に固定バイアス電源電圧供給用の端子を設ければ良いので、半導体集積回路の集積度を低下させることなく、固定バイアス電源電圧を給電することが可能となる。

【0142】(6). 半導体層1cと下部電極3n₁、3p₁との間の絶縁膜7のみ薄くすることにより、しきい値電圧-固定バイアス電源電圧特性を有効にするとともに、絶縁膜7以外の他の絶縁膜(フィールド絶縁膜6)の部分を厚くすることにより、寄生容量を低下することが可能となる。

【0143】(7). 上記(1)~(6)により、性能および信頼性の高い半導体集積回路装置を提供することが可能となる。

【0144】(実施例2) 図20および図21は本発明の他の実施例である半導体集積回路装置の要部断面図、図22~図30はその半導体集積回路装置の製造工程中における要部断面図である。

【0145】本実施例2においては、図20に示すように、下部電極3n₁、3p₁が、nMOS3nおよびpMOS3pの下方の半導体基板1aの上部に形成された拡散層によって形成されている。そして、下部電極3n₁、3p₁と半導体基板1aとの接合部が常に逆バイアスになるように、固定バイアス電源電圧用配線V_{fix}側から下部電極3n₁、3p₁に印加される固定バイアス電源電圧と半導体基板1aに印加される基板電圧V₀とが設定されている。

【0146】この下部電極3n₁、3p₁は、ゲート電極3n₁、3p₁とは仕事関数の異なる材料からなり、例えばホウ素等のようなp形不純物が導入されて形成されている。なお、ゲート電極3n₁、3p₁は、前記実施例1と同様、例えばn形のポリシリコンからなる。

【0147】また、本実施例2においては、複数のnMOS3nの複数の下部電極3n₁がウエル12a内に形成され、複数のpMOS3pの複数の下部電極3p₁がウエル12b内に形成されている。ウエル12a、12bは、例えばn形不純物のAsが導入されてなり、それ

ぞれ電極 4 f、4 g と電氣的に接続され所定の電位に設定することが可能となっている。

【0148】これらにより、下部電極 3 n₁、3 p₁ の電位設定のための制御性を容易にすることが可能となるとともに、複数の MOS・FET がある場合でも MOS・FET 毎に所定のバイアス電圧を印加することが可能となっている。

【0149】また、本実施例 2 においても、図 21 に示すように、前記実施例 1 と同様、外部回路領域 B (図 2 参照) 内における nMOS 3 n においては、そのゲート電極 3 n₂ と、下部電極 3 n₁ とが電氣的に接続されている。これにより、その nMOS 3 n の伝達コンダクタンスを内部回路領域 A (図 2 参照) 内の nMOS 3 n の約 2 倍にすることが可能となっている。

【0150】なお、6 a は、フィールド絶縁膜を示しているが、これは、前記実施例 1 と異なり、絶縁層 1 b を構成するものではない。

【0151】次に、本実施例 2 の半導体集積回路装置の製造方法例を図 22 ~ 図 30 によって説明する。なお、本実施例 2 においても説明を簡単にするため、SOI 基板上に nMOS 3 n のみを形成する場合について説明する。

【0152】まず、図 22 に示すように、例えば p 形の Si 単結晶からなる半導体基板 1 c₁ に対し酸化処理を施すことにより、半導体基板 1 c₁ の主面上に絶縁層 1 b を形成する。

【0153】続いて、図 23 に示すように、半導体基板 1 c₁ と、他に用意した半導体基板 1 a とを、絶縁層 1 b を間に介在させた状態で熱処理等によって張り合わせる。なお、半導体基板 1 a は、例えば p 形の Si 単結晶からなる。

【0154】その後、図 24 に示すように、半導体基板 1 c₁ の裏面を研磨することにより、半導体層 1 c を形成した後、その半導体層 1 c 上にフォトリソグرافィ技術によって形成する。

【0155】次いで、そのフォトリソグرافィパターン 10 b をマスクとして、半導体基板 1 a の上部に、例えば As 等のような n 形不純物を導入することにより、ウエル 12 a を形成する。

【0156】続いて、フォトリソグرافィパターン 10 b を除去した後、図 25 に示すように、半導体層 1 c 上にフォトリソグرافィパターン 10 c をフォトリソグرافィ技術によって形成する。

【0157】その後、そのフォトリソグرافィパターン 10 c をマスクとして、半導体基板 1 a の上部のウエル 12 a 内に、例えばホウ素等のような p 形不純物を導入することにより下部電極 3 n₁ を形成する。

【0158】次いで、図 26 に示すように、半導体層 1 c に対して選択酸化法等によってフィールド絶縁膜 6 a を形成した後、フィールド絶縁膜 6 a に囲まれた素子形

成領域にゲート絶縁膜 3 n₂ を形成する。

【0159】続いて、図 27 に示すように、半導体層 1 c およびフィールド絶縁膜 6 a 上に、ポリシリコンを堆積した後、そのポリシリコンのゲート電極形成領域に、例えばリン等のような n 形不純物を導入する。

【0160】その後、そのポリシリコンをフォトリソグرافィ技術によってパターニングすることにより、半導体層 1 c 上にゲート電極 3 n₂ を形成した後、そのゲート電極 3 n₂ をマスクとして、半導体層 1 c に、例えば As 等のような n 形不純物をイオン打ち込み法等によって導入することにより、半導体層 1 c においてゲート電極 3 n₂ の両側に一对の拡散層 3 n₁、3 n₁ を形成する。これにより、半導体層 1 c 上に nMOS 3 n を形成する。

【0161】次いで、図 28 に示すように、半導体層 1 c、フィールド絶縁膜 6 a およびゲート電極 3 n₂ 上にフォトリソグرافィパターン 10 d を形成した後、そのフォトリソグرافィパターン 10 d をマスクとして、フィールド絶縁膜 6 a に下部電極 3 n₁ およびウエル 12 a に達するスルーホール 11 a、11 d を形成する。

【0162】続いて、フォトリソグرافィパターン 10 d を除去した後、図 29 に示すように、半導体層 1 c、フィールド絶縁膜 6 a、スルーホール 11 a、11 d およびゲート電極 3 n₂ 上に、例えば P SG または B P SG 等からなる絶縁膜 9 を堆積する。

【0163】その後、絶縁膜 9 に、下部電極 3 n₁ およびウエル 12 a に達するスルーホール 11 b、11 e および拡散層 3 n₁、3 n₁ 上に達するスルーホール 11 c を形成した後、絶縁膜 9 上に、例えば Al-Si-Cu 合金からなる導体膜 12 を堆積する。そして、その後、その導体膜 12 をフォトリソグرافィ技術によってパターニングすることにより、図 30 に示すように、引出し電極 4 a、4 b、4 d、4 f 等を形成する。

【0164】このように、本実施例 2 においても、前記実施例 1 と同様の効果を得ることが可能となる。

【0165】(実施例 3) 図 31 は本発明の他の実施例である半導体集積回路装置の要部断面図である。

【0166】本実施例 3 の半導体集積回路装置は、例えば DRAM (Dynamic RAM) である。そのメモリセル部分の断面図を図 31 に示す。

【0167】1 つのメモリセル MC は、例えば nMOS 3 n とキャパシタ 13 とによって構成されている。

【0168】nMOS 3 n は、半導体層 1 c 上に形成されており、一对の拡散層 3 n₁、3 n₁ とゲート絶縁膜 3 n₂ とゲート電極 3 n₂ とを有している。なお、図 31 には、例えば 2 つの nMOS 3 n が記されている。

【0169】拡散層 3 n₁ には、前記実施例 1、2 と同様、例えば As 等のような n 形不純物が導入されている。その不純物濃度は、例えば 1×10^{19} 個 / cm³ 程度である。中央の拡散層 3 n₁ は、2 つの nMOS 3 n

の共通の拡散層となっており、データ線DLと電氣的に接続されている。データ線DLは、例えばAl-Si-Cu合金からなる。

【0170】ゲート電極3n₁は、例えばp形のポリシリコンからなり、ワード線の一部でもある。そのp形不純物としては、例えばホウ素等が用いられており、その不純物濃度は、例えば 1×10^{19} 個/cm³程度である。

【0171】また、本実施例3においても、絶縁層1b中において、2つのnMOS 3nの下層に下部電極3n₁が設けられており、固定バイアス電源電圧用配線V_{fix}側から所定の固定バイアス電圧を印加することが可能となっている。これにより、前記実施例1、2と同様に、nMOS 3nのしきい値電圧を所望の値に設定するための制御性を向上させることが可能となっている。固定バイアス電圧は、例えば0Vに設定されている。

【0172】一方、キャパシタ13は、絶縁層1b中に形成されている。このため、半導体層1c上方にキャパシタ13による段差のつきにくい構造となっており、アルファ線等に起因するソフトエラーが生じにくい構造となっている。また、キャパシタ13をnMOS 3nの下方に形成したことにより、メモリセルMCの占有面積を増大させることなく、容量を増大させることが可能な構造となっている。

【0173】キャパシタ13は、キャパシタ用絶縁膜13aを挟んで互いに対向するように配置された2つのキャパシタ用電極13b、13cによって構成されている。キャパシタ用電極13b、13cは、共に、例えばn形のポリシリコンからなる。そのn形不純物としては、例えばAs等が用いられており、その不純物濃度は、例えば 1×10^{19} 個/cm³程度である。

【0174】キャパシタ用電極13b、13cのうちの上方のキャパシタ用電極13bは、上記したnMOSの拡散層3n₁と電氣的に接続されている。また、キャパシタ用電極13cは、2つのキャパシタの共通のキャパシタ用電極となっている。なお、基板電圧V_hは、例えば0Vに設定されている。

【0175】このように、本実施例3によれば、以下の効果を得ることが可能となる。

【0176】(1). DRAMのメモリセルMCを構成するキャパシタ13を、SOI基板における半導体層1cの下層の絶縁層1b中に設けたことにより、半導体層1cの上層にキャパシタ13に起因する段差が形成されにくい構造とすることが可能となる。このため、半導体集積回路装置の製造が容易にすることが可能となるとともに、その段差に起因する配線の断線不良等を低減することが可能となるので、信頼性の高い半導体集積回路装置を提供することが可能となる。

【0177】(2). DRAMのメモリセルMCを構成するキャパシタ13を、SOI基板における半導体層1cの

下層の絶縁層1b中に設けたことにより、アルファ線等を受け難くすることが可能となる。このため、アルファ線等に起因するソフトエラーを低減することができるので、信頼性の高い半導体集積回路装置を提供することが可能となる。

【0178】(3). DRAMのメモリセルMCを構成するキャパシタ13を、メモリセルMCを構成するnMOS 3nの下層に設けたことにより、メモリセルMCの占有面積を増大させることなく、キャパシタ13の容量を増大させることが可能となる。

【0179】(4). DRAMのメモリセルMCを構成するnMOS 3nの下層に下部電極3n₁を設け、所定の固定バイアス電圧を印加することを可能としたことにより、そのnMOS 3nのしきい値電圧を所望する値に設定するための制御性を向上させることが可能となる。

【0180】(実施例4) 図32は本発明の他の実施例である半導体集積回路装置の要部断面図、図33および図34はこの半導体集積回路装置における情報の書き込みおよび消去の際の動作を説明するための説明図である。

【0181】本実施例4の半導体集積回路装置は、例えばEEPROM (Electrically Erasable Programmable ROM) である。そのメモリセル部分の断面図を図32に示す。

【0182】本実施例4においては、EEPROMのメモリセルMCを構成するフローティングゲート14が、SOI基板の絶縁層1b中に形成されている。フローティングゲート14は、例えばn形のポリシリコンからなる。そのn形不純物としては、例えばAs等が用いられており、その不純物濃度は、例えば 1×10^{19} /cm³程度である。

【0183】本実施例4においては、例えばアバランシェ現象等により、半導体層1c側からフローティングゲート14に電子あるいは正孔を注入し、フローティングゲート14の電位を変えることにより情報を記憶する。情報の消去は、その電子あるいは正孔をフローティングゲート14から半導体層1c側に放出させることによって行うようになっている。

【0184】なお、コントロールゲートとして機能するゲート電極3n₁は、例えばp形のポリシリコンからなる。そのp形不純物としては、例えばホウ素等が用いられており、その不純物濃度は、例えば 1×10^{19} /cm³程度である。ゲート絶縁膜3n₂の厚さは、例えば10nm程度、絶縁膜7の厚さは、例えば2nm程度である。ここで、V_gは、コントロールゲートに印加される電圧を示している。V_hは、拡散層3n₁に印加される電圧を示している。

【0185】ここで、書き込み方法の例を図33および図34に示す。時間t₁ ~ t₂は、"1"書き込み時を示し、時間t₃ ~ t₄は、"0"書き込み時を示してい

る。

【0186】図33に示すように、“1”書き込みに際しては、例えばゲート電極 $3n_2$ に0Vを印加し、基板電圧 V_0 を低電圧 V_L とした状態で、一对の拡散層 $3n_1$ 、 $3n_1$ に高電圧 V_H を印加する。また、“0”書き込みに際しては、例えばゲート電極 $3n_2$ に低電圧 V_L を印加し、基板電圧 V_0 を高電圧 V_H とした状態で、一对の拡散層 $3n_1$ 、 $3n_1$ に低電圧 V_L を印加する。

【0187】なお、EEPROM動作の場合、“0”書き込みでは、半導体基板1aをHighにするので、EEPROM的に動作させるには、紫外線照射等でオールクリア“0”としても良い。

【0188】図34は負電圧を使用しない場合を示している。図34に示すように、“1”書き込みに際しては、例えばゲート電極 $3n_2$ に0Vを印加し、基板電圧 V_0 を0Vとした状態で、一对の拡散層 $3n_1$ 、 $3n_1$ に高電圧 V_H を印加する。

【0189】また、“0”書き込みに際しては、例えばゲート電極 $3n_2$ に高低電圧 V_H を印加し、基板電圧 V_0 に0Vを印加した状態で、一对の拡散層 $3n_1$ 、 $3n_1$ に0Vを印加する。この際、チャネル領域の電荷を、所定のエネルギーを加える（電圧を印加する）ことにより、絶縁膜7を通過させて“0”書き込みする。

【0190】このように、本実施例4によれば、以下の効果を得ることが可能となる。

【0191】(1).EEPROMのメモリセルMCを構成するフローティングゲート14を、SOI基板の絶縁層1b中に設けたことにより、半導体層1cの上層にフローティングゲート14に起因する段差が形成され難い構造とすることが可能となる。このため、半導体集積回路装置の製造が容易にすることが可能となるとともに、その段差に起因する配線の断線不良等を低減することが可能となるので、信頼性の高い半導体集積回路装置を提供することが可能となる。

【0192】(2).EEPROMのメモリセルMCを構成するフローティングゲート14を、SOI基板の絶縁層1b中に設けたことにより、アルファ線等を受け難くすることが可能となる。このため、アルファ線等に起因するソフトエラーを低減することができるので、信頼性の高い半導体集積回路装置を提供することが可能となる。

【0193】（実施例5）図35は本発明の他の実施例である半導体集積回路装置の要部断面図、図36はこの半導体集積回路装置における情報の書き込みおよび消去の際の動作を説明するための説明図である。

【0194】本実施例5においては、コントロールゲート15が半導体基板1aの上部に形成されている。コントロールゲート15は、半導体基板1aの上部に、例えばAs等のようなn形不純物が導入されてなり、その不純物濃度は、例えば 1×10^{19} 個/cm³程度である。

【0195】また、本実施例5においては、コントロー

ルゲート15が半導体基板1aに形成されたウエル12c内に形成されている。これにより、各メモリセルMCにおけるコントロールゲート15への電圧設定を容易にすることが可能となる。

【0196】本実施例5の場合、コントロールゲート15に印加する電圧 V_0 を正の高電圧とすれば、半導体層1c側の電子がフローティングゲート14側に注入され易くなり、コントロールゲート15に印加する電圧 V_0 を負の電圧とすれば、半導体層1c側の正孔がフローティングゲート14側に注入され易く（または電子が放出され易く）なるようになっている。

【0197】情報の書き込みおよび消去時における電圧設定の状態を図36に示す。書き込みおよび消去動作は、前記実施例4で用いた図33と同様である。ただし、本実施例5の場合、コントロールゲート15に印加される電圧 V_0 が、拡散層 $3n_1$ の電位よりも高くなるため、基板電圧 V_0 を固定電位に設定することが可能となっている。

【0198】このように、本実施例5においては、前記実施例4で得られた効果の他に、以下の効果を得ることが可能となる。

【0199】(1).基板電圧 V_0 を一定にすることができるので、半導体チップ1に形成された半導体集積回路素子の動作安定性を向上させることが可能となる。

【0200】(2).各メモリセルMCにおいて、半導体基板1aの上部に拡散層からなるコントロールゲート15を設けたことにより、情報の書き込みおよび消去に際して、各メモリセルMC毎に所定の電圧を印加することが可能となる。

【0201】(3).半導体基板1aの不純物濃度を低減することができるので、全体的な容量を低減することが可能となる。

【0202】（実施例6）図37は本発明の他の実施例である半導体集積回路装置の要部断面図、図38はこの半導体集積回路装置の駆動時におけるパルス列の例を示す説明図である。

【0203】本実施例6の半導体集積回路装置は、例えばCCD (Charge Coupled Device)等のような電荷移送素子を有するCCDメモリである。CCDメモリの要部断面図を図37に示す。

【0204】半導体層1c上には、絶縁膜16aを介して複数のCCD電極17aが所定の間隔毎に近接されて配置されている。CCD電極17aは、例えばp形のポリシリコンからなり、その不純物濃度は、例えば 1×10^{19} 個/cm³程度である。

【0205】そして、本実施例6においては、半導体層1cの下層にも絶縁膜16bを介して複数のCCD電極17bが配置されている。CCD電極17bは、互いに隣接するCCD電極17aの間に配置されている。CCD電極17bも、例えばp形のポリシリコンからなり、

その不純物濃度は、例えば 1×10^{20} 個 / cm^3 程度である。

【0206】これにより、集積度を増大させることができる。また、隣接する CCD 電極を一部分で重ねる構造の CCD メモリよりも段差を少なくできる上、隣接する CCD 電極間のカップリング容量を小さくすることができる。

【0207】本実施例 6 においては、CCD 電極 17a または CCD 電極 17b に所定の電圧を印加すると、CCD 電極 17a の直下または CCD 電極 17b の直上の半導体層 1c 部分に電位の井戸が発生するようになっている。そして、その電位の井戸に電荷を一時的に蓄え、その電荷が消失しないうちに後続の CCD 電極 17a、17b に所定の電圧を印加することによりその電荷を順送りして情報の転送を行うようになっている。なお、 $\phi_1 \sim \phi_4$ は、CCD メモリの駆動用のパルス信号を示している。

【0208】この CCD メモリの駆動時におけるパルス列の一例を図 38 に示す。図 38 には、例えば三相駆動方式の場合のパルス列が記されている。この場合、図 38 に示すように、パルス列が互いに重なりを持ったものとするにより、情報に寄与する電荷を図 37 の左から右の方向にシフトすることが可能となっている。

【0209】このように、本実施例 6 によれば、以下の効果を得ることが可能となる。

【0210】(1). SOI 基板を構成する絶縁層 1b において、半導体層 1c 上に形成された互いに隣接する CCD 電極 17a の間に、CCD 電極 17b を形成したことにより、CCD 電極を平面的に配置する場合よりも集積度を向上させることが可能となる。

【0211】(2). 互いに隣接する CCD 電極 17a、17b の間隔を小さくすることができるので、情報の電送に寄与する電荷の移動を良好にすることが可能となる。

【0212】(3). SOI 基板を構成する絶縁層 1b において、半導体層 1c 上に形成された互いに隣接する CCD 電極 17a の間に CCD 電極 17b を形成したことにより、互いに隣接する CCD 電極を一部分で重ねる構造の CCD メモリよりも段差を少なくすることができるので、CCD メモリの製造を容易にすることができるとともに、その段差に起因する配線の断線不良等を低減することが可能となる。したがって、CCD メモリの信頼性を向上させることが可能となる。

【0213】(4). SOI 基板を構成する絶縁層 1b において、半導体層 1c 上に形成された互いに隣接する CCD 電極 17a の間に CCD 電極 17b を形成したことにより、互いに隣接する CCD 電極 17a、17b 間のカップリング容量を小さくすることができるので、そのカップリング容量に起因するノイズを低減することが可能となる。したがって、CCD メモリの動作時における信頼性を向上させることが可能となる。

【0214】(実施例 7) 図 39 は本発明の他の実施例である半導体集積回路装置の要部断面図である。

【0215】本実施例 7 においては、図 39 に示すように、CCD 電極 17b が半導体基板 1a の上部に形成された拡散層によって形成されている。CCD 電極 17b には、例えばホウ素等のような p 形不純物が導入されている。

【0216】この CCD 電極 17b は、例えば半導体層 1c 上に CCD 電極 17a をパターン形成した後、その CCD 電極 17a をマスクとして、半導体基板 1a に不純物をイオン打ち込みすることによって形成されている。すなわち、CCD 電極 17b は自己整合的に形成されている。

【0217】なお、CCD 電極 17b は、半導体基板 1a に形成されたウエル 12d 内に形成されている。ウエル 12d は、例えば As 等のような n 形不純物が導入されてなる。ウエル 12d には、所定の電圧 V₁ を印加することが可能となっている。

【0218】このように、本実施例 7 によれば、前記実施例 6 で得られた効果の他に、以下の効果を得ることが可能となる。

【0219】(1). 半導体層 1c の下層の CCD 電極 17b を自己整合的に形成することにより、CCD 電極 17b を前記実施例 6 よりも容易に形成することが可能となる。

【0220】(2). 半導体層 1c の下層の CCD 電極 17b を自己整合的に形成することにより、CCD 電極 17b の配置寸法精度を向上させることができるので、集積度を前記実施例 6 の場合よりも向上させることが可能となる。

【0221】(3). 半導体層 1c の下層の CCD 電極 17b を自己整合的に形成することにより、CCD 電極 17b の配置寸法精度を向上させることができるので、CCD メモリの動作特性を前記実施例 6 の場合よりも向上させることが可能となる。

【0222】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例 1～7 に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0223】例えば前記実施例 1 においては、下部電極をポリシリコンとした場合について説明したが、これに限定されるものではなく、例えばタングステン等のような高融点金属膜またはタングステンシリサイド等のようなシリサイド膜を用いても良い。

【0224】また、前記実施例 1、2 においては、ゲート電極を n 形とし、下部電極を p 形とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばゲート電極を p 形とし、下部電極を n 形としても良い。なお、この場合は、下部電極に導入する不純物は、例えば As やアンチモン (Sb) 等のよう

な拡散係数の小さい材料を用いると良い。これは、SOI基板を製造する際の半導体基板の張り合わせ工程において高温熱処理を施した際に、下部電極中の不純物がその上層の絶縁膜を通過して半導体層側に拡散してしまうのを防止するためである。

【0225】また、前記実施例1、2においては、下部電極がMOS・FETの下層のほぼ全体に形成されている場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば図40に示すように、例えばnMOS3nのチャネル領域の下層にのみ下部電極3n、を配置しても良い。この場合、ゲート電極3n、とチャネル領域との間の容量を小さくすることができるので、素子の動作速度を向上させることが可能となる。また、ドレイン領域の端部の電界集中を緩和することができるので、ドレイン耐圧を向上させることが可能となる。

【0226】また、図41に示すように、下部電極3n、を、例えばnMOSのソース領域を形成する拡散層3n、およびチャネル領域の下層にのみ配置しても良い。この場合、上記図40の場合の半導体集積回路装置の有する効果に加えて、ソース抵抗増大に起因する伝達コンダクタンスの低下を抑制することができるので、素子の駆動能力を向上させることが可能となる。

【0227】また、前記実施例2、5、6においては、それぞれ下部電極、コントロールゲート、CCD電極をウェルで囲む構造としたが、これに限定されるものではない。例えばnMOSを例とすると、図42に示すように、半導体基板1aの上部に下部電極のみを設け、ウェルのない構造としても良い。なお、EEPROMおよびCCDメモリの場合も同様である。

【0228】また、前記実施例1、2においては、本発明をCMOSゲートアレイに適用した場合について説明したが、これに限定されるものではなく種々適用可能であり、例えばバイポーラトランジスタとCMOSとが同一の半導体基板内に混在されてなるBi-CMOSゲートアレイ、ゲートアレイ以外の論理回路、半導体メモリ回路または論理回路と半導体メモリ回路とが同一の半導体基板内に混在されてなる複合形ゲートアレイ等、他の半導体集積回路装置に適用することも可能である。

【0229】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0230】(1).請求項1記載の発明によれば、半導体層に形成されるチャネルの形成状態を、例えば下部電極に所定の固定バイアス電圧を印加することにより制御することができるので、その半導体層上に形成されたMIS・FETのしきい値電圧の制御性を向上させることが可能となる。したがって、動作信頼性の高い半導体集積回路装置を提供することが可能となる。

【0231】(2).請求項2記載の発明によれば、例えばゲート電極の構成材料をチャネルの形成され易い材料とし、下部電極の構成材料をチャネルの形成され難い材料とすることにより、チャネルの形成状態を制御することができるので、その半導体層上に形成されたMIS・FETのしきい値電圧の制御性を向上させることが可能となる。したがって、半導体集積回路装置の動作信頼性を向上させることが可能となる。

【0232】(3).請求項3記載の発明によれば、ゲート電極と下部電極とを電気的に接続することにより、それらを接続しない場合に比べて伝達コンダクタンスを約2倍にすることができるので、そのMIS・FETの駆動能力を向上させることが可能となる。したがって、半導体集積回路装置の動作信頼性を向上させることが可能となる。

【0233】(4).請求項4記載の発明によれば、半導体層上に形成された複数のMIS・FETの各々の下部電極毎に、所定の固定バイアス電圧を印加することが可能となる。

【0234】(5).請求項10記載の発明によれば、ゲート電極とチャネル領域との間の容量を小さくすることができるので、MIS・FETの動作速度を向上させることが可能となる。また、ドレイン領域の端部の電界集中を緩和することができるので、ドレイン耐圧を向上させることが可能となる。したがって、動作信頼性および動作性能を向上させることが可能となる。

【0235】(6).請求項12記載の発明によれば、ゲート絶縁膜の厚さと、下部絶縁膜の厚さとを所定の厚さに設定することにより、チャネルの形成状態を制御することができるので、その半導体層上に形成されたMIS・FETのしきい値電圧の制御性を向上させることが可能となる。したがって、動作信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置を構成する半導体チップの全体平面図である。

【図3】図1の半導体集積回路装置の要部平面図である。

【図4】図1の半導体集積回路装置の要部断面図である。

【図5】通常のMOS・FETの構造を模式的に示す説明図である。

【図6】図5の電荷分布の状態を示す説明図である。

【図7】(a)は通常のnMOSにおけるゲート絶縁膜厚としきい値電圧との関係を示すグラフ図であり、

(b)は通常のnMOSにおける基板バイアス電圧としきい値電圧との関係を示すグラフ図である。

【図8】(a)～(d)はnMOSのゲート電極材料と

下部電極材料とを種々変えた場合におけるしきい値電圧の状態を示すグラフ図である。

【図 9】 (a) は通常の pMOS におけるゲート絶縁膜厚としきい値電圧との関係を示すグラフ図であり、

(b) は通常の pMOS における基板バイアス電圧としきい値電圧との関係を示すグラフ図である。

【図 10】 (a) ~ (d) は pMOS のゲート電極材料と下部電極材料とを種々変えた場合におけるしきい値電圧の状態を示すグラフ図である。

【図 11】 図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 12】 図 1 の半導体集積回路装置の図 11 に続く製造工程における要部断面図である。

【図 13】 図 1 の半導体集積回路装置の図 12 に続く製造工程における要部断面図である。

【図 14】 図 1 の半導体集積回路装置の図 13 に続く製造工程における要部断面図である。

【図 15】 図 1 の半導体集積回路装置の図 14 に続く製造工程における要部断面図である。

【図 16】 図 1 の半導体集積回路装置の図 15 に続く製造工程における要部断面図である。

【図 17】 図 1 の半導体集積回路装置の図 16 に続く製造工程における要部断面図である。

【図 18】 図 1 の半導体集積回路装置の図 17 に続く製造工程における要部断面図である。

【図 19】 図 1 の半導体集積回路装置の図 18 に続く製造工程における要部断面図である。

【図 20】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 21】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 22】 図 20 の半導体集積回路装置の製造工程における要部断面図である。

【図 23】 図 20 の半導体集積回路装置の図 22 に続く製造工程における要部断面図である。

【図 24】 図 20 の半導体集積回路装置の図 23 に続く製造工程における要部断面図である。

【図 25】 図 20 の半導体集積回路装置の図 24 に続く製造工程における要部断面図である。

【図 26】 図 20 の半導体集積回路装置の図 25 に続く製造工程における要部断面図である。

【図 27】 図 20 の半導体集積回路装置の図 26 に続く製造工程における要部断面図である。

【図 28】 図 20 の半導体集積回路装置の図 27 に続く製造工程における要部断面図である。

【図 29】 図 20 の半導体集積回路装置の図 28 に続く製造工程における要部断面図である。

【図 30】 図 20 の半導体集積回路装置の図 29 に続く製造工程における要部断面図である。

【図 31】 本発明の他の実施例である半導体集積回路装

置の要部断面図である。

【図 32】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 33】 図 32 の半導体集積回路装置における情報の書き込みおよび消去の際の動作を説明するための説明図である。

【図 34】 図 32 の半導体集積回路装置における他の情報の書き込みおよび消去の際の動作を説明するための説明図である。

【図 35】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 36】 図 35 の半導体集積回路装置における情報の書き込みおよび消去の際の動作を説明するための説明図である。

【図 37】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 38】 図 37 の半導体集積回路装置の駆動時におけるパルス列の例を示す説明図である。

【図 39】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 40】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 41】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 42】 本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図 43】 従来の半導体集積回路装置の部分断面図である。

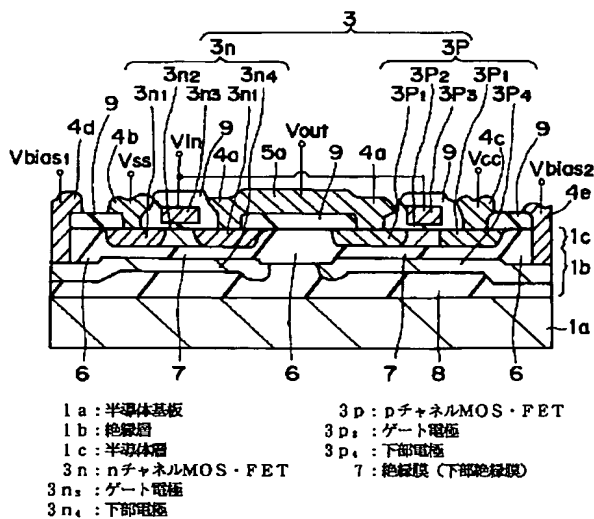
【符号の説明】

- 1 半導体チップ
- 1 a 半導体基板
- 1 b 絶縁層
- 1 b₁ 絶縁膜
- 1 c 半導体層
- 1 c₁ 半導体基板
- 2 ボンディングパッド
- 3 相補型 MOS・FET
- 3 n nチャネル MOS・FET
- 3 n₁ 拡散層
- 3 n₂ ゲート絶縁膜
- 3 n₃ ゲート電極
- 3 n₄ 下部電極
- 3 p pチャネル MOS・FET
- 3 p₁ 拡散層
- 3 p₂ ゲート絶縁膜
- 3 p₃ ゲート電極
- 3 p₄ 下部電極
- 4 a ~ 4 g 引出し電極
- 5 a ~ 5 d 配線
- 6, 6 a フィールド絶縁膜

- 7 絶縁膜 (下部絶縁膜)
- 8 絶縁膜
- 9 絶縁膜
- 10 a ~ 10 d フォトリソグパターン
- 11 a ~ 11 e スルーホール
- 12 導体膜
- 12 a ~ 12 d ウエル
- 13 キャパシタ
- 13 a キャパシタ用絶縁膜
- 13 b, 13 c キャパシタ用電極
- 14 フローティングゲート
- 15 コントロールゲート
- 16 a 絶縁膜
- 16 b 絶縁膜
- 17 a, 17 b CCD電極
- A 内部回路領域
- B 外部回路領域
- MC メモリセル
- DL データ線
- V_{cc} 電源電圧
- V_{ss} 接地電圧
- V_{in} 入力
- V_{out} 出力
- V_c 電圧
- V_b 基板電圧

【図 1】

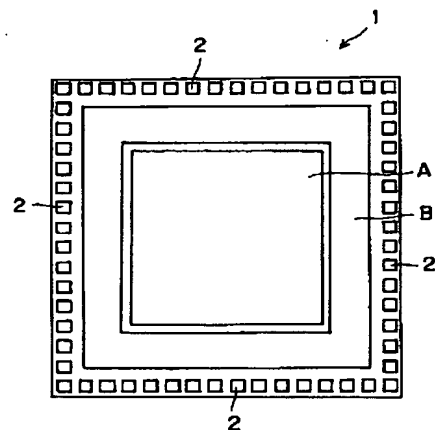
図 1



- V_{bias1} , V_{bias2} , V_{bias3} 固定バイアス電源電圧用配線
- V_g 電圧
- V_i 電圧
- V_r 電圧
- $\phi_1 \sim \phi_6$ パルス信号
- 50 nチャネルMOS・FET
- 50g ゲート電極
- 50gox ゲート絶縁膜
- 10 51 半導体基板
- 52 絶縁層
- 53 半導体層
- Q_g ゲート電荷
- Q_n チャネル電荷
- Q_s 不純物電荷
- Q_{sub} 基板表面電荷
- Q_{ss} 界面固定電荷
- 60 半導体基板
- 61 絶縁層
- 20 62 半導体層
- 63 nチャネルMOS・FET
- 64 半導体領域
- 65 ゲート絶縁膜
- 66 ゲート電極
- 67 ゲート電極

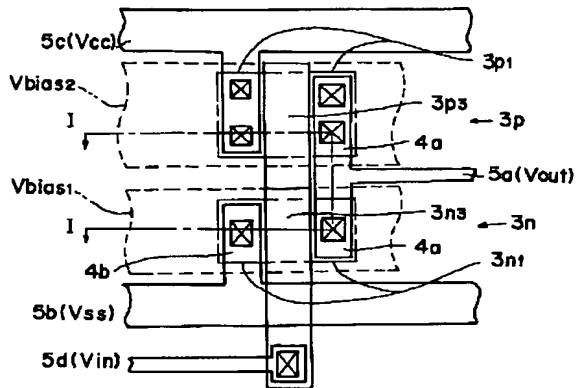
【図 2】

図 2



【図 3】

図 3

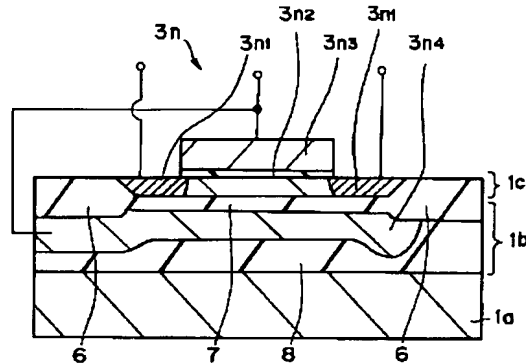


【図 5】

図 5

【図 4】

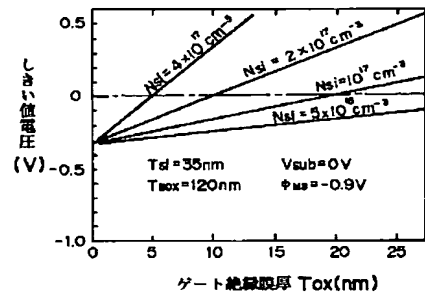
図 4



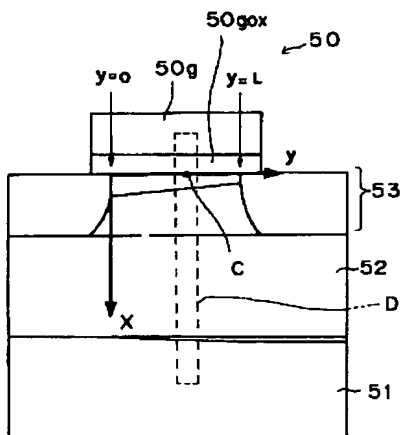
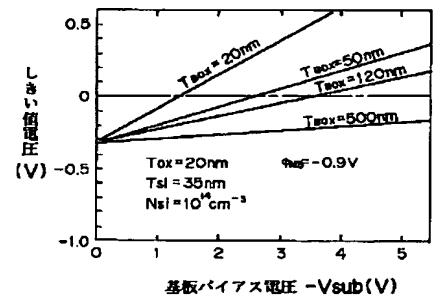
【図 6】

図 6

【図 7】

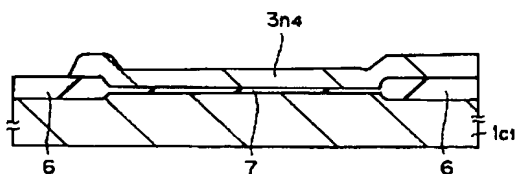
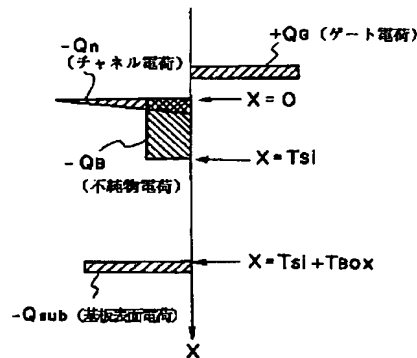
図 7
(a)

(b)

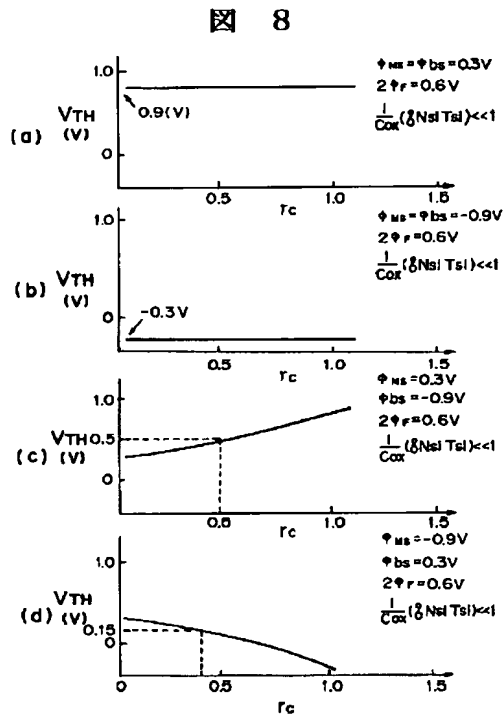


【図 11】

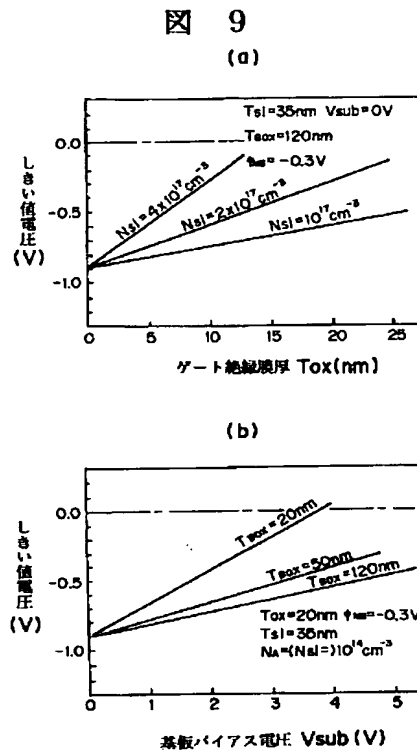
図 11



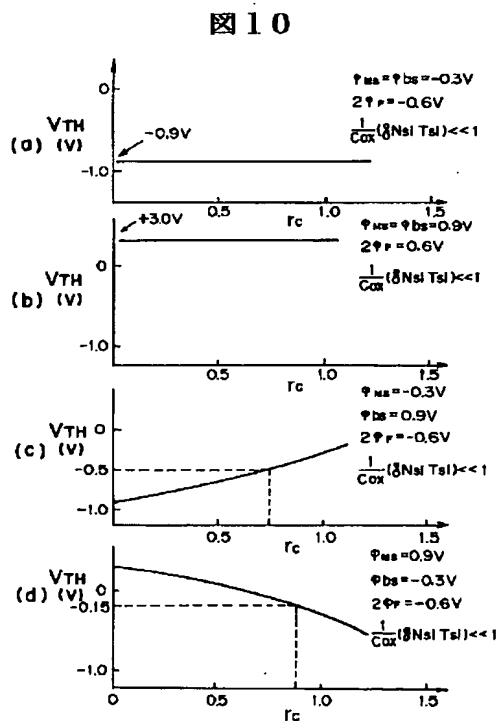
【図8】



【図9】

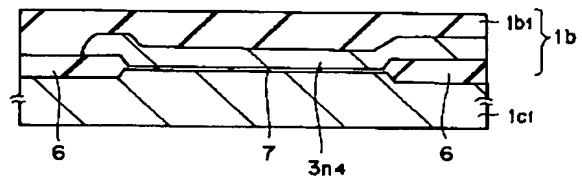


【図10】



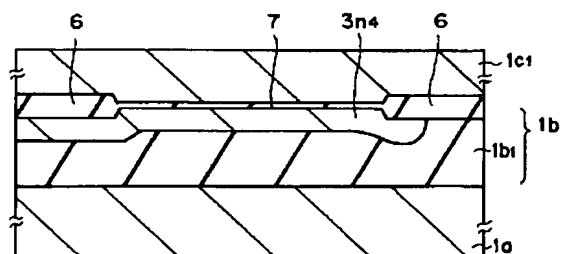
【図12】

図12



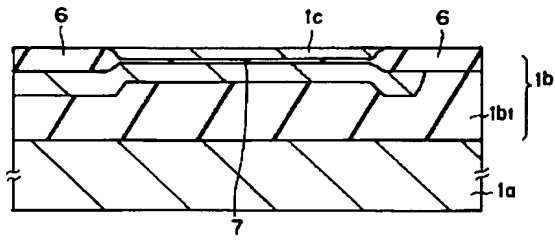
【図13】

図13



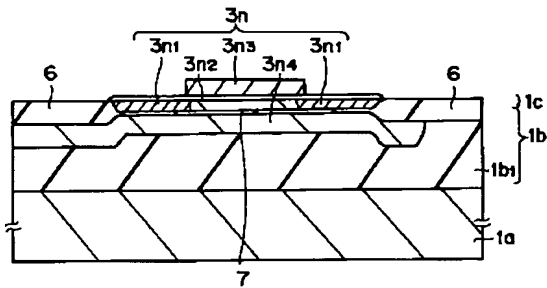
【図 1 4】

図 1 4



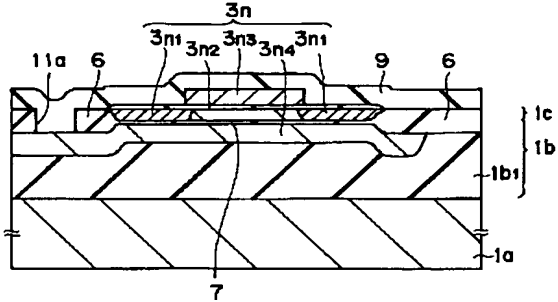
【図 1 6】

図 1 6



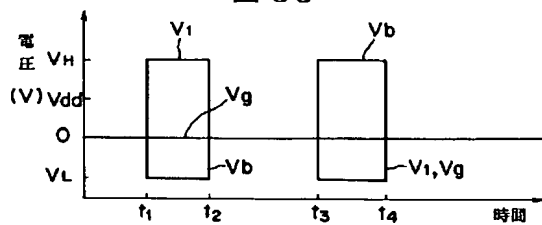
【図 1 8】

図 1 8



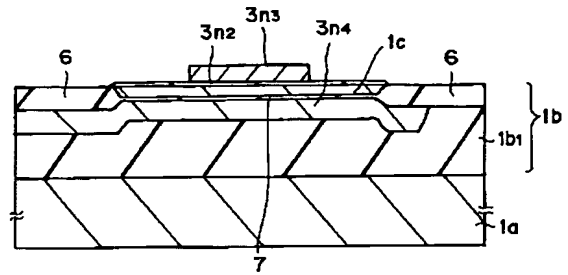
【図 3 3】

図 3 3



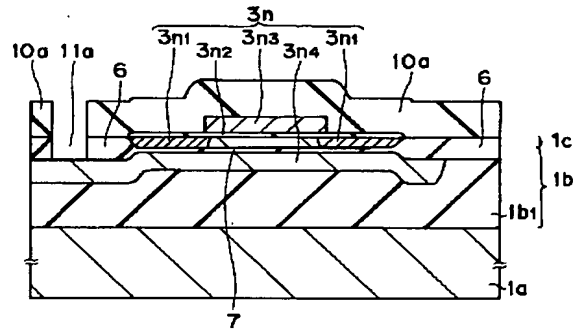
【図 1 5】

図 1 5



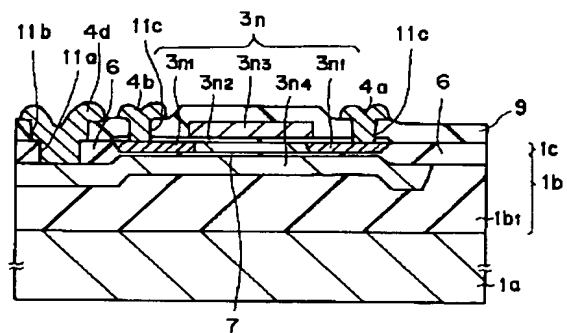
【図 1 7】

図 1 7



【図 1 9】

図 1 9

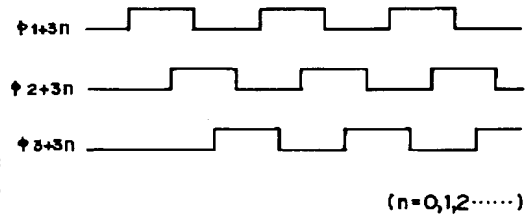
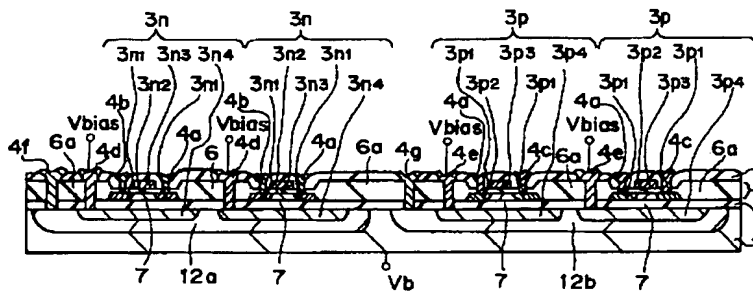


【図 20】

【図 38】

図 20

図 38



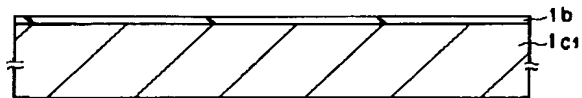
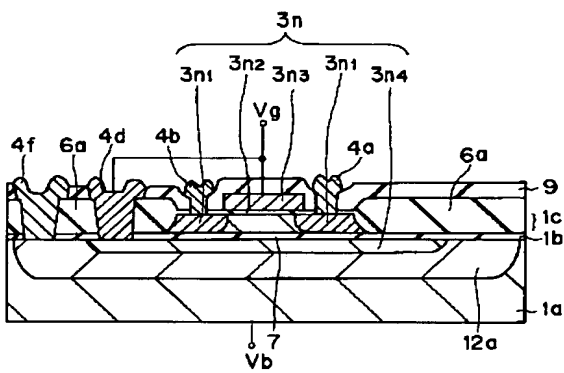
12a, 12b: ウェル

【図 21】

【図 22】

図 21

図 22

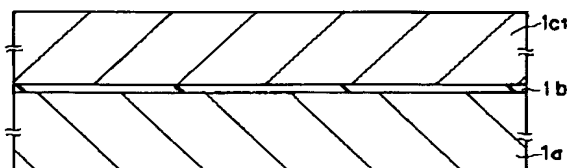
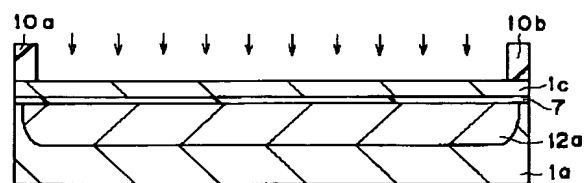


【図 24】

図 24

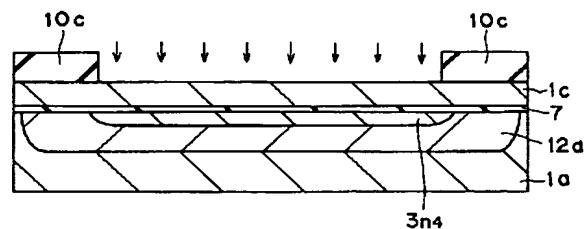
【図 23】

図 23



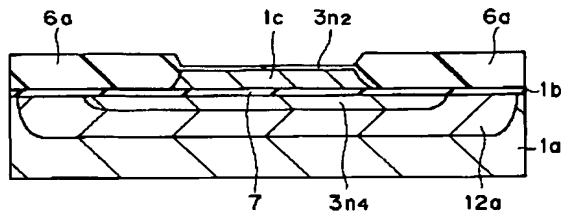
【図 25】

図 25



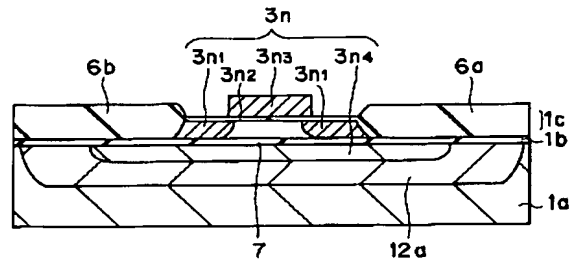
【図 26】

図 26



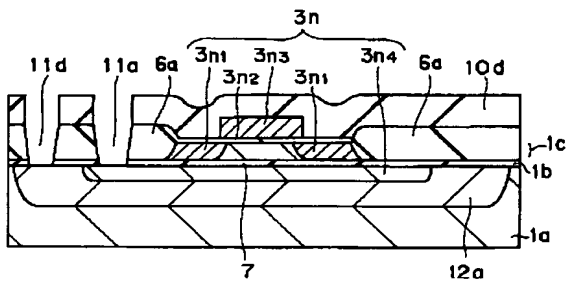
【図 27】

図 27



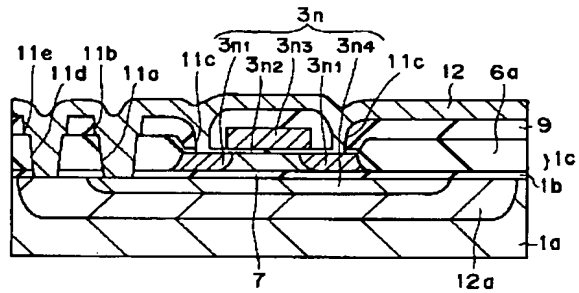
【図 28】

図 28



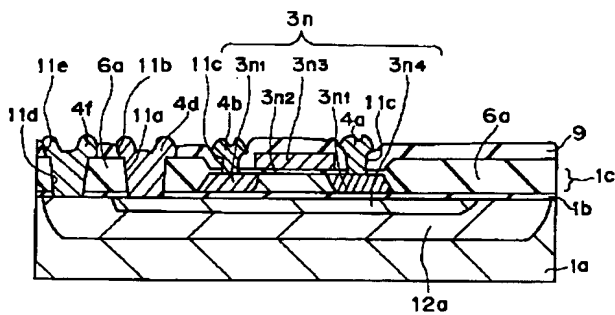
【図 29】

図 29



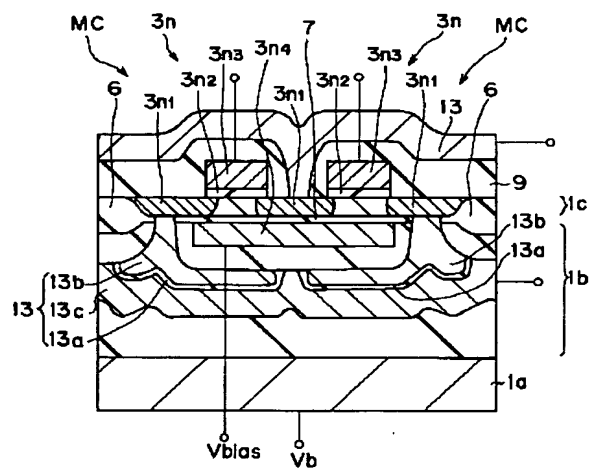
【図 30】

図 30



【図 31】

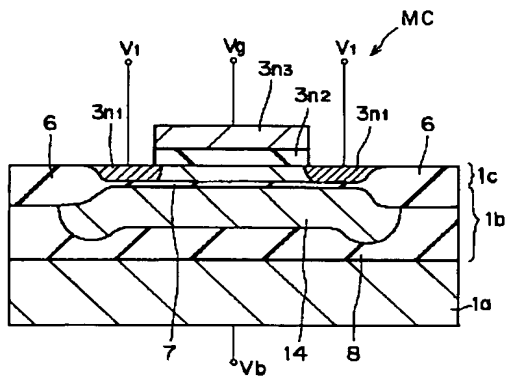
図 31



MC : メモリセル
 13 : キャパシタ
 13a : キャパシタ用絶縁膜
 13b : キャパシタ用電極
 13c : キャパシタ用電極

【図 3 2】

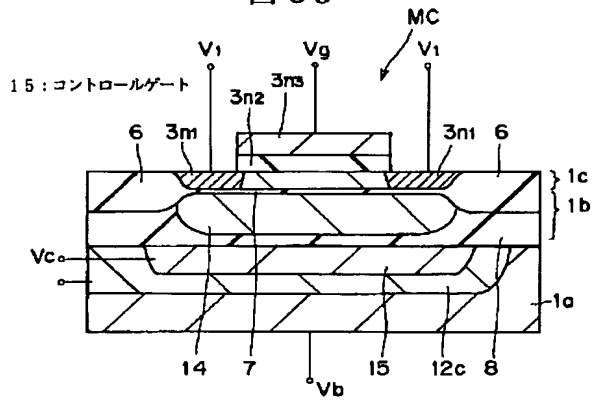
図 32



14: フローティングゲート

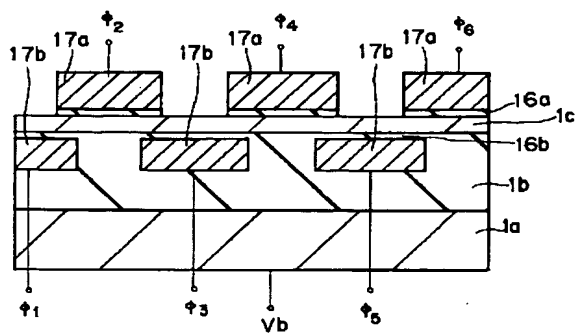
【図 3 5】

図 35



【図 3 7】

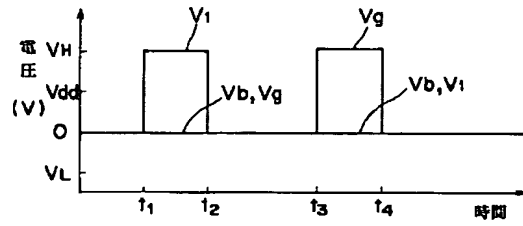
図 37



17a, 17b: CCD電極

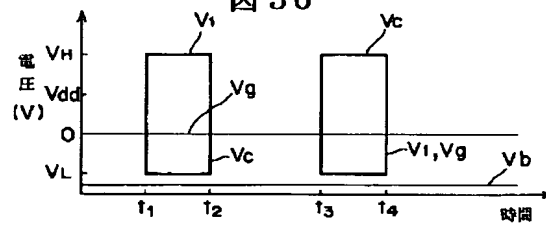
【図 3 4】

図 34



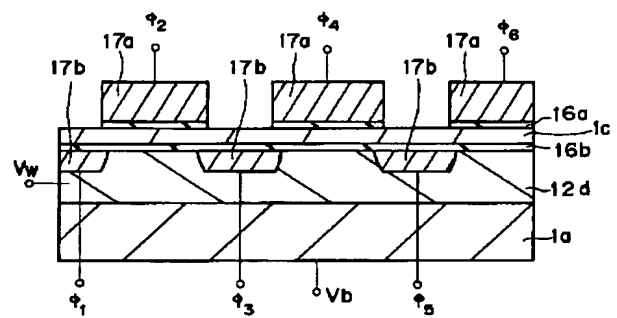
【図 3 6】

図 36



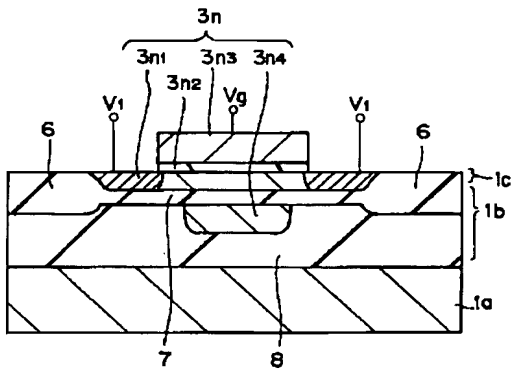
【図 3 9】

図 39



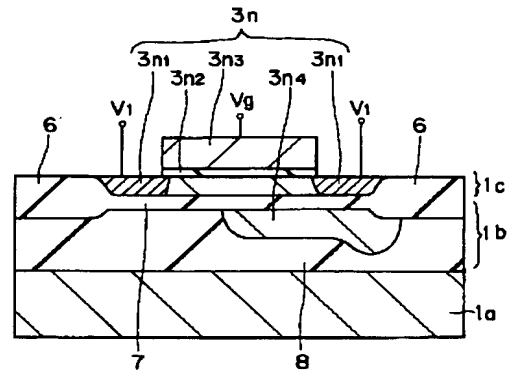
【図 4 0】

図 40



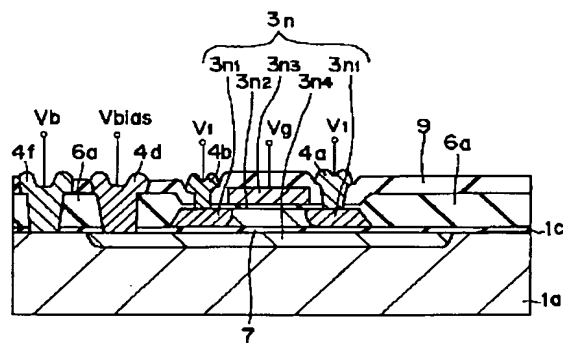
【図 4 1】

図 41



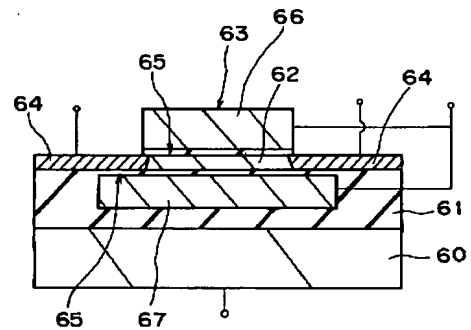
【図 4 2】

図 42



【図 4 3】

図 43



フロントページの続き

(72)発明者 常野 克己
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 市川 仁子
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 池田 隆英
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 夏秋 信義
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 三谷 真一郎
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内